



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0073590
(43) 공개일자 2017년06월28일

(51) 국제특허분류(Int. Cl.)
H01L 27/15 (2006.01) H01L 33/00 (2010.01)
H01L 33/36 (2010.01)
(52) CPC특허분류
H01L 27/156 (2013.01)
H01L 33/0079 (2013.01)
(21) 출원번호 10-2017-7007324
(22) 출원일자(국제) 2014년10월17일
심사청구일자 없음
(85) 번역문제출일자 2017년03월16일
(86) 국제출원번호 PCT/US2014/061052
(87) 국제공개번호 WO 2016/060676
국제공개일자 2016년04월21일

(71) 출원인
인텔 코퍼레이션
미합중국 캘리포니아 95054 산타클라라 미션 칼리지 블러바드 2200
(72) 발명자
창, 피터 엘.
미국 97231 오리건주 포틀랜드 노스웨스트 스카이라인 블러바드 10650
(74) 대리인
양영준, 김연송, 백만기

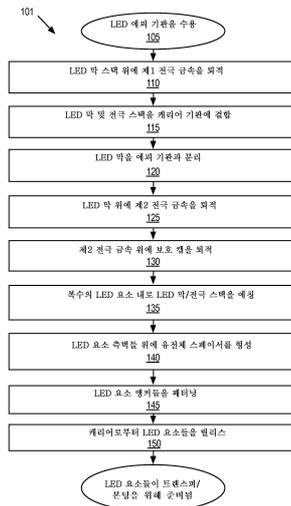
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 마이크로LED 디스플레이 및 어셈블리

(57) 요약

결정질 (마이크로)LED 디스플레이 어셈블리들, 이러한 디스플레이 어셈블리들을 제조하는 방법들, 결정질 LED 소스 기관들 - 이 소스 기관들로부터 (마이크로)LED들이 디스플레이 어셈블리에 트랜스퍼될 수 있음 -, 및 이러한 소스 기관들을 제조하는 방법들. LED 요소들은 픽셀플레이스 또는 다른 수단에 의해 본딩 기관에 트랜스퍼할 준비가 될 수 있다. 앵커 및 릴리스 구조들은 LED 요소들이 도전성 폴리머로 본딩 기관에 부착되고 전기적으로 결합되게 할 수 있다. LED 요소들은 요소들이 접착제로 본딩 기관에 부착될 수 있게 하고 자체 정렬된 로컬 상호 접속 금속화와 전기적으로 결합될 수 있게 하는 자체 정렬된 LED 전극 금속화 구조들로 본딩 기관에 트랜스퍼할 준비가 될 수 있다. LED 요소들을 부착한 후에, 재료는 LED 요소들 주위에 빌드-업될 수 있고 디스플레이 어셈블리가 본딩 기관으로부터 분리될 수 있다.

대표도 - 도1



(52) CPC특허분류
H01L 33/36 (2013.01)

명세서

청구범위

청구항 1

결정질 LED 디스플레이로서,

복수의 백플레인 금속 상호접속(backplane metal interconnects)을 포함하는 디스플레이 백플레인 인터페이스;

복수의 LED 요소 - 상기 복수의 LED 요소 각각은

반도체 LED 막 스택;

상기 LED 막 스택의 제1 표면 상의 제1 금속 LED 전극; 및

상기 제1 표면에 대향하는, 상기 반도체 막 스택의 제2 표면 상의 제2 금속 LED 전극을 더 포함함 -; 및

복수의 도전성 폴리머 요소 - 상기 도전성 폴리머 요소들 각각은 상기 제1 금속 LED 전극을 상기 백플레인 금속 상호접속들 중 적어도 하나에 전기적으로 결합시킴 -

를 포함하는 결정질 LED 디스플레이.

청구항 2

제1항에 있어서, 상기 디스플레이 백플레인 인터페이스는 제2 금속 상호접속들의 어레이를 더 포함하고;

상기 디스플레이는 복수의 광학적으로 투과성인 도전성 상호접속(optically transmissive conductive interconnects)을 더 포함하고, 각각의 광학적으로 투과성인 상호접속은 상기 LED 요소들 중 적어도 하나의 상기 제2 금속 전극에 전기적으로 결합되고, 상기 제2 금속 상호접속들 중 적어도 하나에 전기적으로 결합되는 결정질 LED 디스플레이.

청구항 3

제2항에 있어서,

상기 도전성 폴리머는 1 μ m-이하의 비저항을 갖고;

상기 복수의 LED 요소 각각은 5 μ m 이하인 길이를 갖고;

상기 디스플레이는 상기 디스플레이 백플레인 인터페이스에 대향하는, 상기 복수의 LED 요소 위에 배치된 광학적으로 투과성인 커버를 더 포함하는 결정질 LED 디스플레이.

청구항 4

제1항에 있어서,

각각의 LED 요소는 상기 LED 막 스택의 모든 반도체 층들, 상기 제1 금속 LED 전극의 모든 층들, 및 상기 제2 금속 LED 전극의 모든 층들 위에 유전체 층 스페이서를 더 포함하고;

빌드-업 재료가 상기 유전체 층 스페이서를 둘러싸는 결정질 LED 디스플레이.

청구항 5

결정질 LED 디스플레이로서,

복수의 백플레인 금속 상호접속을 포함하는 디스플레이 백플레인 인터페이스;

복수의 LED 요소 - 상기 복수의 LED 요소 각각은

반도체 LED 막 스택;

상기 LED 막 스택의 제1 표면 상의 제1 금속 LED 전극;

상기 제1 표면에 대향하는, 상기 반도체 막 스택의 제2 표면 상의 제2 금속 LED 전극; 및

상기 LED 막 스택의 반도체 층들 위, 상기 제1 금속 LED 전극의 금속 층들, 및 상기 제2 금속 LED 전극의 금속 층들 위의 유전체 층 스페이서를 더 포함함 -; 및

상기 유전체 층 스페이서를 둘러싸는 빌드-업 재료

를 포함하는 결정질 LED 디스플레이.

청구항 6

제5항에 있어서,

각각의 LED 요소는 도전성 폴리머 및 광학적으로 투과성인 도전성 상호접속을 통해 전기적으로 병렬로 상기 제1 및 제2 금속 상호접속들에 결합된 복수의 LED를 더 포함하고;

LED 요소 내의 각각의 LED는 상기 제1 금속 LED 전극과 직접 접촉하는 상기 LED 막 스택의 필러를 포함하고 상기 층 스페이서 유전체에 의해 상기 요소 내의 다른 LED들로부터 측방향으로 이격된 결정질 LED 디스플레이.

청구항 7

결정질 LED 본딩 소스 기판으로서,

캐리어;

상기 캐리어 위에 배치된 복수의 LED 요소 - 각각의 LED 요소는

제1 금속 LED 전극과 제2 금속 LED 전극 사이에 배치된 적어도 제1 및 제2 도핑된 반도체 영역들을 포함하는 반도체 LED 막 스택 - 상기 제1 금속 LED 전극은 상기 캐리어를 마주보고(facing) 자유 공간 공극(free-space void)에 의해 상기 캐리어로부터 이격됨 -; 및

상기 LED 막 스택의 층들, 상기 제1 금속 LED 전극, 및 상기 제2 금속 LED 전극 위에 배치된 층 유전체 코팅을 더 포함함 -; 및

각각의 LED 요소를 인접한 LED 요소들로부터 분리시키는 트렌치들 내에 배치된 복수의 앵커 - 상기 앵커들 각각은 상기 캐리어 상에 랜드(landing)하고 상기 자유 공간 공극에 의해 둘러싸임 -

를 포함하는 결정질 LED 본딩 소스 기판.

청구항 8

제7항에 있어서,

상기 자유 공간 공극은 상기 LED 요소의 전체 영역에 걸쳐 연장되고;

상기 복수의 앵커 각각은 적어도 2개의 인접한 LED 요소의 상기 층 유전체와 접촉하는 폴리머 필러를 포함하는 결정질 LED 본딩 소스 기판.

청구항 9

제7항에 있어서,

상기 층 유전체의 표면은 상기 제1 금속 전극의 노출된 표면과 평탄하고;

상기 복수의 앵커 각각은 적어도 2개의 인접한 LED 요소의 상기 층 유전체와 접촉하는 결정질 LED 본딩 소스 기판.

청구항 10

제9항에 있어서,

상기 제1 금속 전극에 의해 점유된 풋프린트는 상기 LED 반도체 막 스택 및 제2 전극의 풋프린트와 일치하는 결정질 LED 본딩 소스 기판.

청구항 11

제7항에 있어서,

각각의 LED 요소는 상기 제1 금속 전극과 접촉하는 복수의 LED를 더 포함하고, 각각의 LED는 상기 LED 반도체 막 스택의 필러를 포함하고, 상기 제2 금속 전극 및 상기 LED 반도체 막 스택을 통해 연장되고 상기 제1 금속 전극 상에 랜드하는 요소내 트렌치(intra-element trench)에 의해 인접한 LED들로부터 분리되고;

상기 유전체 측벽 코팅은 상기 요소내 트렌치를 백필(backfill)하는 결정질 LED 본딩 소스 기판.

청구항 12

제7항에 있어서,

상기 LED 반도체 막 스택은 III-N 반도체를 포함하고;

상기 캐리어는 결정질 실리콘 기판을 포함하고;

상기 LED 요소들 각각은 5 μ m 이하의 측방향 길이를 갖는 결정질 LED 본딩 소스 기판.

청구항 13

결정질 LED 디스플레이로서,

광학적으로 투과성인 커버;

상기 커버에 대향하는 표면 위에 배열된 복수의 금속 백플레인 상호접속을 갖는 디스플레이 백플레인 인터페이스;

상기 디스플레이 백플레인 인터페이스와 상기 커버 사이에 배치된 복수의 LED 요소 - 상기 복수의 LED 요소 각각은

에피택셜 반도체 LED 막 스택;

상기 백플레인 상호접속들 중 하나 및 상기 LED 막 스택의 제1 도핑된 반도체 영역과 전기적으로 접촉하는 제1 금속 LED 전극; 및

상기 LED 막 스택의 제2 도핑된 반도체 영역과 접촉하는 제2 금속 LED 전극 - 상기 제2 금속 LED 전극은 상기 LED 요소에 인접한 측벽을 형성하고 개재 유전체 스페이서에 의해 상기 제1 금속 LED 전극으로부터 이격됨 - 을 더 포함함 -;

인접한 LED 요소들 사이에 각각 배치된, 복수의 금속 커버측 상호접속(metal cover-side interconnects); 및

복수의 금속 로컬 상호접속 - 각각의 로컬 상호접속은 각각의 LED 요소의 상기 제2 금속 전극에 전기적으로 결합되고, 상기 커버측 상호접속들 중 적어도 하나에 전기적으로 결합됨 -

을 포함하는 결정질 LED 디스플레이.

청구항 14

제13항에 있어서, 상기 제1 금속 LED 전극과 상기 커버 사이에 배치된 광학적으로 투과성인 접착제 요소를 더 포함하는 결정질 LED 디스플레이.

청구항 15

제13항에 있어서, 상기 백플레인 상호접속들 각각은 상기 제1 금속 LED 전극에의 비랜드된(unlanded) 콘택트를 포함하고, 상기 비랜드된 콘택트는 상기 제1 금속 LED 전극을 오버행(overhanging)하고 개재 유전체 층에 의해 상기 제2 금속 LED 전극으로부터 분리되는 결정질 LED 디스플레이.

청구항 16

제13항에 있어서, 상기 로컬 상호접속은 상기 제2 도핑된 반도체 영역의 측벽 및 상기 제2 금속 LED 전극의 측벽과 접촉하는 결정질 LED 디스플레이.

청구항 17

제13항에 있어서, 상기 LED 요소들과 상기 커버 사이에 배치된 하나 이상의 터치 센서 층을 더 포함하고,
광학적으로 투과성인 접착제 요소가 상기 제1 금속 LED 전극과 상기 터치 센서 층 사이에 배치되고;
상기 커버측 상호접속들은 상기 터치 센서 층 상에 배치되고;
상기 로컬 상호접속은 상기 터치 센서 층에 걸쳐 연장되는 결정질 LED 디스플레이.

청구항 18

제13항에 있어서, 상기 터치 센서 층 위에 배치된 IC 칩 또는 센서 중 적어도 하나를 더 포함하며, 그 사이에 광학적으로 투과성인 접착제 요소가 배치된, 결정질 LED 디스플레이.

청구항 19

결정질 LED 본딩 소스 기관으로서,
캐리어,
상기 캐리어 위에 배치된 복수의 LED 요소 - 각각의 LED 요소는 적어도 제1 및 제2 도핑된 반도체 영역들을 포함하는 에피택셜 반도체 LED 막 스택;
상기 제1 도핑된 반도체 영역과 접촉하는 제1 금속 LED 전극;
상기 제1 금속 LED 전극 및 상기 제1 도핑된 반도체 영역의 측벽 주위의 유전체 측벽 스페이서; 및
상기 유전체 스페이서에 인접하고 상기 제2 도핑된 반도체 영역과 전기적으로 접촉하는 금속 스페이서를 더 포함하는 제2 금속 LED 전극을 더 포함함 -; 및
각각의 LED 요소를 인접한 LED 요소들로부터 분리시키는 트렌치들 내에 배치된 복수의 앵커 - 상기 앵커들 각각은 상기 캐리어 상에 랜드하고 상기 캐리어와 LED 요소들 사이의 자유 공간 공극에 의해 둘러싸임 - 를 포함하는 결정질 LED 본딩 소스 기관.

청구항 20

제19항에 있어서,
상기 자유 공간 공극은 상기 LED 요소의 전체 영역에 걸쳐 연장되고;
상기 복수의 앵커 각각은 적어도 2개의 인접한 LED 요소의 상기 유전체 측벽 스페이서 또는 금속 측벽 스페이서와 접촉하는 폴리머 필러를 포함하는 결정질 LED 본딩 소스 기관.

청구항 21

제19항에 있어서,
상기 유전체 측벽 스페이서는 상기 제1 금속 전극의 노출된 표면과 평탄하고;
상기 제2 금속 전극은 상기 제1 금속 전극의 상기 노출된 표면 아래로 리세스되고;
상기 복수의 앵커 각각은 적어도 2개의 인접한 LED 요소의 상기 제2 금속 전극과 접촉하는 결정질 LED 본딩 소스 기관.

청구항 22

제19항에 있어서,
상기 유전체 측벽 스페이서는 상기 제1 금속 LED 전극의 주변을 둘러싸고;
상기 제2 금속 전극은 상기 유전체 측벽 스페이서의 주변을 둘러싸는 결정질 LED 본딩 소스 기관.

청구항 23

제19항에 있어서,

각각의 LED 요소는 상기 제1 도핑된 반도체 영역과 접촉하는 복수의 LED를 더 포함하고, 각각의 LED는 상기 LED 반도체 막 스택의 필러를 포함하고, 상기 제1 금속 전극 및 상기 제1 도핑된 반도체 영역을 통해 연장되고 상기 제2 도핑된 반도체 영역 상에 랜드하는 요소내 트렌치에 의해 인접한 LED들로부터 분리되고;

상기 유전체 측벽 스페이서는 상기 요소내 트렌치의 2개의 대향하는 측벽 상에 배치되고;

상기 금속 측벽 스페이서는 상기 유전체 측벽 스페이서에 인접한 상기 요소내 트렌치 내의 상기 제2 도핑된 반도체 영역의 부분 상에 배치되는 결정질 LED 본딩 소스 기관.

청구항 24

제19항에 있어서,

상기 LED 반도체 막 스택은 III-N 반도체를 포함하고;

상기 캐리어는 결정질 실리콘 기관을 포함하고;

상기 LED 요소들 각각은 $5\mu\text{m}$ 이하의 측방향 길이를 갖는 결정질 LED 본딩 소스 기관.

청구항 25

LED 요소로서,

적어도 제1 및 제2 도핑된 반도체 영역들을 포함하는 에피택셜 반도체 LED 막 스택;

상기 제1 도핑된 반도체 영역과 접촉하는 제1 금속 LED 전극;

상기 제1 금속 LED 전극 및 상기 제1 도핑된 반도체 영역의 측벽 주위의 유전체 측벽 스페이서; 및

상기 유전체 측벽 스페이서에 인접하고, 상기 제2 도핑된 반도체 영역과 전기적으로 접촉하는 금속 측벽 스페이서를 더 포함하는 제2 금속 LED 전극

을 포함하는 LED 요소.

청구항 26

제25항에 있어서,

상기 제1 금속 LED 전극은 적어도 $1\mu\text{m}^2$ 의 풋프린트를 갖고;

상기 유전체 측벽 스페이서는 $0.1\mu\text{m}$ 미만의 측방향 폭을 갖고;

상기 금속 측벽 스페이서는 $0.1\mu\text{m}$ 미만의 측방향 폭을 갖는 LED 요소.

청구항 27

제25항에 있어서,

상기 유전체 측벽 스페이서는 상기 제1 금속 전극의 노출된 표면과 평탄하고;

상기 제2 금속 전극은 상기 제1 금속 전극의 표면 아래로 리세스되는 LED 요소.

청구항 28

제25항에 있어서,

상기 유전체 측벽 스페이서는 상기 제1 금속 LED 전극의 주변을 둘러싸고;

상기 금속 측벽 스페이서는 상기 유전체 스페이서의 주변을 둘러싸는 LED 요소.

청구항 29

제25항에 있어서,

상기 LED 요소는 상기 제1 도핑된 반도체 영역과 접촉하는 복수의 LED를 더 포함하고, 각각의 LED는 상기 LED

반도체 막 스택의 필러를 포함하고, 상기 제1 도핑된 반도체 영역을 통해 연장되고 상기 제2 도핑된 반도체 영역 상에 랜드하는 요소내 트렌치에 의해 인접한 LED들로부터 분리되고;

상기 유전체 측벽 스페이서는 상기 요소내 트렌치의 2개의 대향하는 측벽 상에 배치되고;

상기 금속 측벽 스페이서는 상기 유전체 측벽 스페이서에 인접한 상기 요소내 트렌치 내의 상기 제2 도핑된 반도체 영역의 부분 상에 배치되는 LED 요소.

청구항 30

제29항에 있어서, 상기 금속 측벽 스페이서는 유전체 측벽 스페이서의 인접한 영역들 사이의 공간을 백필하는 LED 요소.

발명의 설명

배경 기술

[0001] 디스플레이 기술은 전자 디바이스들과의 중요한 사용자 인터페이스로서 최근에 급속히 진보하고 있다. 지금까지, 액정 디스플레이(LCD) 기술은 대형 포맷(예를 들어, 텔레비전)과 이동 디바이스들 양자를 위한 디스플레이 기술이 지배적이었다. 그러나 현재의 LCD 기반 디스플레이들은 백라이트 소스(예를 들어, LED 또는 CFL 등)로부터의 광의 ~5%만을 통과시켜 빈약한 전력 효율, 불충분한 테이라이트 디스플레이 조명, 및 빈약한 시야 각도들에 이르게 한다.

[0002] 상당한 연구 및 개발이 유기 발광 다이오드(OLED) 디스플레이 기술에까지 확장하였다. OLED 디스플레이들은 디스플레이 전력 효율을 개선하였지만, LCD에 비해서는 극적으로 개선되지는 않았다. OLED 기술은 또한 현재 컬러 페이딩을 겪고 있어서, 디스플레이 내구성/수명이 감소하게 된다.

[0003] 연구 중인 또 하나의 차세대 디스플레이 기술은 무기 LED(iLED)라고도 하는, 결정질 LED이다. 결정질 LED 디스플레이는 결정질 반도체 LED 칩들의 어레이에 의존한다. 결정질 LED 디스플레이는 예를 들어, 하나의 화상 요소, 또는 화소를 위해 하나의 LED 칩을 이용할 수 있다. 결정질 LED의 전력 효율은 OLED의 전력 효율보다는 열배 더 효율적이지만, 높은 체적 생산 공정이 디스플레이 응용들을 위해 제시되지 않았다. 결정질 LED의 기술적인 도전들 중 하나는 방대한 수의 매우 작은 결정질 LED들이 제어된 발광을 가능하게 하는 방식으로 전기적으로 상호접속된 공간적으로 큰 어레이 내로 모놀리식 성장/제조 매체로부터 트랜스퍼될 필요가 있다는 것이다. 현재의 디스플레이 해상도들(예를 들어, HD)을 위해, 마이크론 스케일(예를 들어, 한 측이 5µm, 또는 그 이하)로 각각의 결정질 LED 요소를 갖는 1" 스퀘어의 디스플레이 면적 내에 수십만 개의 결정질 LED 요소를 기대할 수 있다. 많은 수의 디바이스들 및 그들의 작은 크기는 마이크로 스케일 어셈블리를 모놀리식 디바이스들과 통상적인 밀리미터 픽셀플레이스 어셈블리들 간의 도전적 체제로 만들었다.

[0004] 이와 같이, 결정질 LED 디스플레이들 및 이러한 디스플레이들의 어셈블리를 위한 기술들이 유리할 것이다.

도면의 간단한 설명

[0005] 여기에 설명된 자료는 예로서 예시된 것이고 첨부 도면으로 제한하는 것은 아니다. 예시의 간단성 및 명료성을 위해, 도면에 도시된 요소들은 반드시 축척에 맞게 도시된 것은 아니다. 예를 들어, 일부 요소들의 치수들은 명료성을 위해 다른 요소들에 비해 과장될 수 있다. 또한, 적절하다고 고려되는 곳에, 참조 번호들은 대응하거나 유사한 요소들을 표시하기 위해 도면들 중에 반복되었다. 도면들에서:

도 1은 실시예들에 따라, 디스플레이 내로 어셈블리하기에 적합한 결정질 LED 요소들을 제조하는 방법을 도시한 흐름도이고;

도 2a, 2b, 2c, 2d, 2e, 2f, 및 2g는 실시예들에 따라, 도 1에 도시된 방법의 예시적 동작들이 수행될 때 예시적인 결정질 LED 요소들의 단면도들이고;

도 2h는 실시예들에 따라, 도 2g에 도시된 결정질 LED 요소들의 평면도이고;

도 2i는 실시예들에 따라, 도 1에 도시된 방법의 예시적 동작이 수행될 때 예시적인 결정질 LED 요소들의 단면도이고;

도 2j는 실시예들에 따라, 도 2i에 도시된 결정질 LED 요소들의 평면도이고;

- 도 2k는 실시예들에 따라, 도 1에 도시된 방법의 완료 이후의 예시적인 결정질 LED 요소들의 단면도이고;
- 도 3a, 3b, 3c, 3d, 및 3e는 대안적 실시예들에 따라, 도 1에 도시된 방법의 예시적 동작들이 수행될 때 예시적인 결정질 LED 요소들의 단면도들이고;
- 도 4는 실시예들에 따라, 디스플레이 내로 결정질 LED 요소들을 어셈블리하는 방법을 도시한 흐름도이고;
- 도 5a, 5b, 5c, 5d, 및 5e는 실시예들에 따라, 도 4에 도시된 방법의 예시적 동작들이 수행될 때 디스플레이 내로 어셈블리되는 예시적인 결정질 LED 요소들의 단면도들이고;
- 도 6은 대안적 실시예들에 따라, 디스플레이 내로 어셈블리하기에 적합한 결정질 LED 요소들을 제조하는 방법을 도시한 흐름도이고;
- 도 7a, 7b, 7c, 7d, 7e, 및 7f는 실시예들에 따라, 도 6에 도시된 방법의 예시적 동작들이 수행될 때 예시적인 결정질 LED 요소들의 단면도들이고;
- 도 7g는 실시예들에 따라, 도 7f에 도시된 결정질 LED 요소들의 평면도이고;
- 도 7h는 실시예들에 따라, 도 6에 도시된 방법의 예시적 동작이 수행될 때 예시적인 결정질 LED 요소들의 단면도이고;
- 도 7i는 실시예들에 따라, 도 7h에 도시된 결정질 LED 요소들의 평면도이고;
- 도 7j는 실시예들에 따라, 도 6에 도시된 방법의 완료 이후의 예시적인 결정질 LED 요소들의 단면도이고;
- 도 8a는 대안적 실시예들에 따라, 도 6에 도시된 방법의 예시적 동작이 수행될 때 예시적인 결정질 LED 요소들의 단면도이고;
- 도 8b는 실시예들에 따라, 도 8a에 도시된 결정질 LED 요소들의 평면도이고;
- 도 8c는 대안적 실시예들에 따라, 도 6에 도시된 방법의 완료 이후의 예시적인 결정질 LED 요소들의 단면도이고;
- 도 9는 대안적 실시예들에 따라, 디스플레이 내로 결정질 LED 요소들을 어셈블리하는 방법을 도시한 흐름도이고;
- 도 10a, 10b, 10c, 10d, 10e, 10f, 및 10g는 실시예들에 따라, 도 9에 도시된 방법의 예시적 동작들이 수행될 때 디스플레이 내로 어셈블리되는 예시적인 결정질 LED 요소들의 단면도들이고;
- 도 11은 실시예들에 따라 결정질 LED 디스플레이를 포함하는 이동 컴퓨팅 디바이스의 전면도 및 후면도를 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0006] 하나 이상의 실시예가 첨부된 도면을 참조하여 설명된다. 특정한 구성들 및 배열들이 상세히 도시되고 논의되지만, 이것은 단지 예시의 목적들을 위해 이루어진 것이라는 것을 이해하여야 한다. 관련 기술 분야의 통상의 기술자들은 설명의 취지 및 범위에서 벗어나지 않고서 다른 구성들 및 배열들이 가능하다는 것을 인식할 것이다. 관련 기술 분야의 통상의 기술자들에게 여기에 설명된 기술들 및/또는 배열들은 여기에 상세히 설명된 것 이외의 다양한 다른 시스템들 및 응용들에서 이용될 수 있다는 것이 명백할 것이다.
- [0007] 예시적인 실시예들의 일부를 형성하고 도시한, 첨부 도면이 다음의 상세한 설명에서 참조된다. 또한, 다른 실시예들이 이용될 수 있고 구조적 및/또는 논리적 변화들이 청구된 주제의 범위에서 벗어나지 않고서 이루어질 수 있다는 것을 이해할 것이다. 방향들 및 기준들, 예를 들어, 상, 하, 상부, 하부 등은 단지 도면 내의 특징들의 설명을 용이하게 하기 위해 사용될 수 있다는 점에 또한 주목하여야 한다. 그러므로, 다음의 상세한 설명은 제한하는 의미로 취해지지 않으며 청구된 주제의 범위는 단지 첨부된 청구범위 및 그들의 등가물들에 의해 정의된다.
- [0008] 다음의 설명에서, 많은 상세들이 기술된다. 그러나, 본 발명의 실시예들은 이들 특정한 상세없이 실시될 수 있다는 것이, 본 기술 분야의 통상의 기술자에게 분명할 것이다. 일부 예들에서, 널리 공지된 방법들 및 디바이스들이 본 발명의 실시예들을 불명하게 하는 것을 피하기 위해, 상세하게 보다는 오히려, 블록도 형태로 도시된다. 본 명세서 전체에 걸쳐서 "실시예" 또는 "한 실시예"라고 하는 것은 실시예와 관련하여 설명된 특정한 특

징, 구조, 기능, 또는 특성이 본 발명의 적어도 하나의 실시예 내에 포함된다는 것을 의미한다. 그러므로, 본 명세서 전체에 걸쳐 여러 군데에서의 문구 "실시예에서" 또는 "한 실시예에서"의 출현은 반드시 발명의 동일한 실시예를 참조하는 것은 아니다. 게다가, 특정한 특징들, 구조들, 기능들, 또는 특성들은 하나 이상의 실시예에서 임의의 적합한 방식으로 조합될 수 있다. 예를 들어, 제1 실시예는 제2 실시예와 조합될 수 있고 어디서나 2개의 실시예와 관련된 특정한 특징들, 구조들, 기능들, 또는 특성들은 상호 배타적이지 않다.

[0009] 설명 및 첨부된 청구범위에서 사용된 바와 같이, 단수 표현("a", "an" 및 "the")은 문맥이 분명히 달리 표명하지 않는다면, 역시 복수를 포함하는 것으로 의도된다. 여기에 사용된 것과 같은 단어 "및/또는"은 관련된 리스트된 아이템들 중 하나 이상의 어떤 및 모든 가능한 조합들을 참조하고 포함한다는 것을 또한 이해할 것이다.

[0010] 그들의 파생어들과 함께, 단어들 "결합된" 및 "접속된"은 여기서 소자들 간의 기능적 또는 구조적 관계들을 설명하기 위해 사용될 수 있다. 이들 단어는 서로 동의어들로서 의도되는 것은 아니라는 것을 이해하여야 한다. 오히려, 특정한 실시예들에서, "접속된"은 2개 이상의 요소가 서로 직접 물리적, 광학적, 또는 전기적으로 접촉하는 것을 표시하기 위해 사용될 수 있다. "결합된"은 2개 이상의 요소가 서로 직접적으로나 간접적으로 (그들 사이에 다른 개재 요소들이 있는 것으로) 서로 물리적 또는 전기적으로 접촉하고/하거나, 2개 이상의 요소가 (예를 들어, 원인 효과 관계에서와 같이) 서로 협력하거나 상호작용하는 것을 표시하기 위해 사용될 수 있다.

[0011] 여기에 사용된 것과 같은 단어들 "위에", "아래에", "사이에", 및 "상에"는 그러한 물리적 관계들이 주목할 만한 곳에서 다른 소자들 또는 재료들에 대한 하나의 소자 또는 재료의 상대적 위치를 참조한다. 예를 들어, 재료들의 맥락에서, 다른 것 위나 아래에 배치된 하나의 재료 또는 재료는 직접 접촉할 수 있거나 하나 이상의 개재 재료가 있을 수 있다. 더구나, 2개의 재료들 또는 재료들 사이에 배치된 하나의 재료는 2개의 층과 직접적으로 접촉할 수 있거나 하나 이상의 개재 층이 있을 수 있다. 반면, 제2 재료 또는 재료 "상의" 제1 재료 또는 재료는 제2 재료/재료와 직접 접촉한다. 소자 어셈블리들의 맥락에서 유사한 구별들이 이루어진다.

[0012] 설명에서, 및 청구범위에서 사용된 바와 같이, 단어 "중 적어도 하나" 또는 "중 하나 이상"에 의해 연결된 아이템들의 리스트는 리스트된 단어들의 어떤 조합을 의미할 수 있다. 예를 들어, 문구 "A, B 또는 C 중 적어도 하나"는 A; B; C; A와 B; A와 C; B와 C; 또는 A, B 및 C를 의미할 수 있다.

[0013] 결정질 (마이크로)LED 디스플레이 어셈블리들, 이러한 디스플레이 어셈블리들을 제조하는 방법들, LED들이 그로부터 디스플레이 어셈블리로 트랜스퍼될 수 있는 결정질 LED 소스 기판들, 및 이러한 소스 기판들을 제조하는 방법들이 여기에 설명된다. 기술들 및 디스플레이 어셈블리들은 특히 수십만 내지 수백만 개의 μ LED를 디스플레이 내로 통합시키기 위해 유리하다. 여기서 간단히 LED라고도 하는 μ LED는 미크론 스케일로 가장 큰 측방향 치수를 갖고, 유리하게는 $5\mu\text{m}$ 이하의 가장 긴 측방향 길이를 갖는다. 여기에 예를 든 디스플레이 어셈블리 실시예들, 소스 기판 실시예들, 및 제조 기술들은 예를 들어, $1-5\mu\text{m}$ 범위 내의 LED들에 적합하게 고도로 스케일가능하다. 명료성을 위해 수개 또는 심지어 단일의 LED의 맥락에서 여기에 설명되지만, 예를 든 소스 기판 실시예들, 및 기술들은 또한 방대한 수의 LED들의 동시 제조/어셈블리에 적용가능한 것으로 또한 이해된다.

[0014] 도 1은 실시예들에 따라, 디스플레이 내로 어셈블리하기에 적합한 결정질 LED 요소들을 제조하는 방법(101)을 도시한 흐름도이다. 방법(101)은 LED 요소들이 결정질 LED 디스플레이를 어셈블리하기 위해 그로부터 트랜스퍼될 수 있는 LED 소스 기판을 제조하기 위해 이용될 수 있다. 도 2a-2k는 실시예들에 따라, 방법(101)의 예시적 동작들이 수행될 때 예시적인 결정질 LED 요소들의 단면도 및 평면도들이다.

[0015] 방법(101)은 동작(105)에서 수용된 반도체 LED 막 스택으로부터 LED 소스 기판을 만들어 내기에 적합한 웨이퍼-레벨 처리를 수반한다. 반도체 LED 막 스택은 모놀리식 바디(예를 들어, LED 에피 웨이퍼)를 형성하기 위해 에피택셜 기판을 덮는 연속하는 막일 수 있다. 일반적으로, 임의의 공지된 반도체 LED 막 스택이 이용될 수 있다. 도 2a에 도시된 예시적인 실시예에서, 에피 웨이퍼(201)는 에피택셜 기판(205), 버퍼 층(206) 및 버퍼 층(206) 상에 에피택셜 성장한 반도체 LED 막 스택(207)을 포함한다. 실시예들에서, LED 막 스택(207)은 예를 들어, 양자 웰 등을 형성하는 하나 이상의 반도체 헤테로접합을 포함한다. 반도체 LED 막 스택(207)은 다이오드 스택 아키텍처 내에 적어도 2개의 상보적 도핑된 반도체 영역들(층들); p형 도핑된 층 및 n형 도핑된 층을 포함한다. 특정한 실시예들에서, 반도체 LED 막 스택(207)은 예를 들어, GaN 및/또는 InGaN과 같은, 그것의 합금을 포함하는, 헤테로에피택셜 III-N 반도체 막 스택이다. 그러나 반도체 LED 막 스택(207)의 조성물은 원하는 방출 대역에 의존하고, 본원의 실시예들은 그와 관련하여 제한되지 않는다.

[0016] 에피택셜 기판(205)은 LED 반도체 막 스택이 성장하기에 적합한 임의의 공지된 기판일 수 있다. 예를 들어, 기판(205)은 몇가지 예를 들자면 실리콘, 게르마늄, SiGe, GaAs, InP와 같은 III-V 화합물들, GaN과 같은 III-N 화

합물들, 3C-SiC, 및 사파이어를 포함하지만, 이들로 제한되지 않는 다양한 재료들일 수 있다. 버퍼 층(들)(206)은 에피택셜 기관(205)의 조성물/마이크로구조로부터 LED 막 스택(207)의 것으로 전이하기에 적합한 임의의 공지된 아키텍처로 될 수 있다.

[0017] 도 1을 참조하면, 방법(101)은 전극 금속이 LED 막 스택 위에 퇴적되는 동작(110)으로 이어진다. 전극 금속의 조성물은 예를 들어, 옴 접촉, 터널링 접촉 등을 제공하기에 적합한 원하는 금속 일함수를 제공하기 위해 LED 막 스택의 함수로서 변화할 수 있다. 한 예시적인 실시예에서, 동작(110)에서 퇴적된 금속은 LED 막 스택의 p형 도핑된 반도체 층과 접촉하기에 적합한 p형 금속이다. PVD, CVD, 전해, 또는 무전해 도금과 같지만, 이들로 제한되지 않는 임의의 공지된 퇴적 기술이 동작(110)에서 이용될 수 있다. 도 2b에 더 도시된 바와 같이, p형 금속 막(210)은 LED 막 스택(207)의 p형 도핑된 반도체 층 위에 퇴적된 블랭킷이다. 도 2b에 또한 도시된 바와 같이, 본딩/틸리스 재료 층(212), 예를 들어 SiO_x와 같은 유전체가 p형 금속 막(210) 위에 더 퇴적될 수 있다.

[0018] 도 1을 참조하면, 방법(101)은 LED 막 및 금속 전극 스택이 캐리어에 결합되는 동작(115)으로 이어진다. 동작(120)에서, LED 및 금속 전극 스택은 LED 에피 기관과 분리된다. 동작들(115 및 120)은 LED 막 스택이 2개의 대향하는 금속 전극들 사이에 샌드위치되게 하는 웨이퍼-레벨 박막 트랜스퍼를 구현한다. 웨이퍼-레벨 막 트랜스퍼 동작들(115 및 120)은 동작(105)에서 수용된 LED 에피 기관이 이미 LED 막 스택 아래에 매립된 금속 전극 막을 포함한 경우에는 필요하지 않을 수 있다. 한 예로서, 동작들(115 및 120)의 맥락에서 여기에 설명된 웨이퍼-레벨 박막 트랜스퍼가 방법(101)의 업스트림에서 수행될 수 있다. 동작(115)에서 본 기술 분야에 공지된 임의의 기술이 LED 막 및 전극 스택을 캐리어에 결합하기 위해 이용될 수 있다. 한 실시예에서, 이 결합은, 예를 들어 LED 막과 전극 스택 사이의 캐리어와의 어떤(열적) 압축 본딩을 사용하여, 장기간 안정하다. 또 하나의 실시예에서, 이 결합은, 예를 들어 LED 막 및 전극 스택과 캐리어 사이의 정전기 결합을 사용하여, 단기간 안정하다. 동작(120)에서 본 기술 분야에 공지된 임의의 기술이 LED 막 및 전극 스택을 에피택셜 기관과 분리하기 위해 이용될 수 있다. 예를 들어 레이저 리프트오프 또는 CMP/그라인드 및 세정이 에피택셜 기관을 제거하기 위해 이용될 수 있다. 도 2c에 도시된 예시적인 실시예에서, 본딩 재료 층(212)(예를 들어, SiO_x 접착제)은 또 하나의 본딩 재료 층(214)(예를 들어, SiO_x 접착제)을 더 포함하는 캐리어(220)와 압축/열/UV 본딩된다. 대안적으로, 본딩 재료 층(212 또는 214) 중 하나만이 존재할 수 있다. 캐리어(220)는 적당한 편평함을 갖는 임의의 금속, 반도체, 또는 유전체 재료일 수 있고 캐리어(220)로부터의 LED 요소들의 후속적인 벌크 트랜스퍼가 캐리어(220)의 더 양호한 편평함에 의해 용이해질 수 있다. 한 유리한 실시예에서, 캐리어(220)는 (단)결정질 실리콘 기관, 예를 들어 IC 제조를 위해 이용되는 유형의 웨이퍼이다. 도 2d에 더 도시된 바와 같이, (예를 들어, 레이저 리프트오프에 의한) 에피택셜 기관(205)과의 LED 막의 분리는 LED 막 스택(207)의 제2 도핑된 반도체 영역(예를 들어, n형 도핑된 층)을 노출시킨다.

[0019] 도 1을 참조하면, 방법(101)은 제2 금속 전극 막이 동작(120)에 의해 노출된 LED 막 스택의 표면 위에 퇴적되는 동작(125)으로 이어진다. 제2 전극 금속의 조성물은 예를 들어, 옴 접촉, 터널링 접촉 등을 제공하기에 적합한 원하는 금속 일함수를 제공하기 위해 LED 막 스택의 함수로서 변화할 수 있다. 한 예시적인 실시예에서, 동작(125)에서 퇴적된 금속은 LED 막 스택의 n형 도핑된 반도체 층과 접촉하기에 적합한 n형 금속이다. PVD, CVD, 전해, 또는 무전해 도금과 같지만, 이들로 제한되지 않는 임의의 공지된 퇴적 기술이 동작(125)에서 이용될 수 있다. 도 2e에 더 도시된 바와 같이, n형 금속 막(225)은 LED 막 스택(207)의 n형 도핑된 반도체 층 위에 퇴적된 블랭킷이다.

[0020] 도 1을 참조하면, 방법(101)은 보호 유전체 캡핑 재료가 제2 금속 전극 막 위에 퇴적되는 동작(130)으로 이어진다. 동작(130)은 선택적이지만, 유리하게도 후속 처리 동안에 LED 전극 금속을 부식으로부터 보호한다. 유전체 캡핑 재료는 목적에 적합한 본 기술 분야에 공지된 임의의 재료로 이루어질 수 있다. PVD 및 CVD와 같지만, 이들로 제한되지 않는 임의의 공지된 퇴적 기술이 동작(130)에서 이용될 수 있다. 도 2f에 더 도시된 바와 같이, 탄소 도핑된 실리콘 질화물(CDN) 막(227)은 n형 금속 LED 전극 막(225) 위에 퇴적된 블랭킷이다.

[0021] 도 1을 참조하면, 방법(101)은 복수의 LED 요소가 LED 반도체 막 스택 내로 트렌치들을 에칭함으로써 형성되는 동작(135)으로 이어진다. 임의의 공지된 포토리소그래픽 마스크 패터닝 및 박막 에칭 공정이 동작(135)에서 이용될 수 있다. 동작(135)에서의 마스크 특징들의 치수들은 디스플레이 내로 통합될 LED 요소들의 치수들을 실질적으로 설정한다. 유리한 실시예들에서, 에칭 동작(135)은 제1 금속 전극 막을 통해, 제2 금속 전극 막을 통해, 그리고 각각의 LED 요소의 측벽들을 정하는 2개의 전극들 사이의 전체적인 반도체 LED 막 스택을 통해 에칭한다. 이 기술로, 제1 금속 전극의 풋프린트는 LED 반도체 막 스택 및 제2 전극에 의해 점유된 면적과 적어도 동일하다(즉, 둘 다의 LED 전극들은 동일한 풋프린트를 갖고 반도체 막 스택과 일치한다). 동작(140)에서, 유

전체 측벽 스페이서가 LED 요소 측벽들 위에 형성된다. SiO_x , $SiON$, SiN , CDO, 및 CDN과 같지만, 이들로 제한되지 않는 임의의 공지된 유전체 재료는 LED 요소들 위에 등각으로 퇴적될 수 있다. 이방성 에칭이 다음에 각각의 LED 요소의 금속 및 반도체 측벽들 위에 적어도 부분적으로 자체 정렬된 코팅을 형성하기 위해 선택된 유전체 재료에 적합한 본 기술 분야에 공지된 임의의 이방성 에칭 공정을 사용하여 수행된다. 아래에 더 설명되는 바와 같이, 유전체 스페이서 측벽 코팅들은 후속하는 앵커링 공정이 LED 봉합에 독립적으로 되도록 한다. 유전체 스페이서 측벽 코팅들에 의해 제공된 자유도는 또한 앵커링 힘이 예를 들어 앵커링 재료가 또한 LED 봉합을 위해 이용되는 경우에 가능할 수 있는 것 아래의 강도들로 변조되게 할 수 있다.

[0022] 도 2g는 동작(135)에서의 그들의 묘사(delineation) 및 동작(140)에서의 유전체 스페이서에 의한 봉합 이후의 결정질 LED 요소들(230)의 단면도이다. 예시적인 실시예들에서, 각각의 LED 요소(230)의 측방향 요소 폭 W_e 는 $5\mu m$ 이하로 되도록 패터닝된다. 더 도시된 바와 같이, 스페이서 유전체(235)(예를 들어, CDN)는 LED 요소들(230) 상의 자체 정렬된 측벽 유전체 코팅의 역할을 한다. 캡핑 층(227)을 포함하는 실시예들에서, LED 요소들(230)은 하나 이상의 유전체 재료(예를 들어, CDN)에 의해 5/6 측면들 상에 봉합될 수 있다. 유리한 실시예들에서, 스페이서 형성을 위해 이용된 유전체 재료의 두께는 유전체 스페이서(235)가 동작(135)(도 1)에서 LED 막 스택 내로 에칭된 트렌치들(232)의 명목상 측방향 폭 W_t 의 1/2 미만인 측방향 두께, 또는 폭 W_s 를 갖는 것을 보장하도록 선택된다. 스페이서 폭에 대한 제한은 인접한 LED 요소들 상의 2개의 유전체 스페이서가 기판 재료(예를 들어, 본딩 재료(212))의 부분이 트렌치(232)의 하부에서 노출되게 남기는 것을 보장한다. 도 2h는 실시예들에 따라, 도 2g와 동일한 스테이지에서의 결정질 LED 요소들(230)의 위에서 아래로 본 평면도이다. LED 요소들(230)이 도 2g에 도시된 예시적인 실시예에서 직사각형(예를 들어, 정사각형)이지만, LED 요소들(230)은 대안적 형상들(예를 들어, 원형 풋프린트)를 갖도록 패터닝될 수 있다.

[0023] 도 1을 참조하면, 방법(101)은 LED 요소 앵커들이 캐리어로부터의 LED 요소들의 제어된 릴리스를 대비하여 패터닝되는 동작(145)으로 이어진다. LED 요소 앵커들은 LED 요소들을 언더컷하기 위해 릴리스를 위한 접근을 여전히 남기면서 LED 요소 측벽들의 부분들을 가로지르는, 동작(135)에서 에칭된 트렌치들 내에 형성된다. LED 요소들의 유전체 스페이서 코팅 측벽들의 존재로, LED 앵커들이 LED 요소들의 봉합에 관련된 문제들에 독립하여 형성될 수 있다. 도 2i에 도시된 예시적인 실시예에서, 본딩 재료 층들(212, 214) 중 하나 이상의 층의 적어도 일부가 리세스된다. 이러한 실시예에서, 재료 층들(212, 214)은 기능적으로 본딩 및 릴리스 층들 둘 다이다. 대안적 실시예들에서, LED 요소 앵커링 동작의 일부로서 리세스된 릴리스 층은 본딩 층과 구별된다. 릴리스 층은 유전체 스페이서(235) 및 LED 요소들(230)을 보호하는 캡핑 재료(227)에 의해 마스크된 블랭킷 에칭 공정으로 유전체 스페이서(235) 아래로 리세스될 수 있다. 도시된 실시예에서, 재료 층들(212, 214)을 통하는 이방성 에칭은 캐리어(220) 상에서 중지한다. 앵커 재료는 다음에 인접한 LED 요소들(230) 사이의 리세스된 트렌치들 내로 퇴적되어, 적어도 리세스된 릴리스 층 및 유전체 스페이서에 의해 정해진 트렌치의 부분을 채운다. 앵커 재료는 다시 트렌치들 내로 채워져서, 예를 들어, 스핀-온 공정으로, LED 요소들(230)의 상부 표면과 평탄화한다. 평탄화된 앵커 재료는 다음에 복수의 별개의 앵커 내로 패터닝될 수 있다. 유전체 스페이서 측벽 코팅들에 의해 제공된 자유도는 앵커링 힘이 예를 들어 앵커링 재료가 또한 LED 봉합을 위해 이용되는 경우에 가능할 수 있는 것 아래로 앵커 점들을 줄임으로써 변조되게 할 수 있다. 한 유리한 실시예에서, 앵커 재료는 트렌치들 내로 스핀-코팅된 감광성 폴리머릭 재료(예를 들어, 포토레지스트)이다. 포토레지스트는 다음에 실시예들에 따라, 도 2i에 도시된 결정질 LED 요소들(230)의 평면도인, 도 2j에 더 도시된 바와 같이 트렌치들을 채우고 인접한 LED 요소들(230) 사이의 분리를 유지하는 별개의 LED 요소 앵커들(245) 내로 리소그래픽 패터닝(예를 들어, 노출 및 현상)된다.

[0024] 도 1을 참조하면, 방법(101)은 앵커된 LED 요소들이 캐리어로부터 제거가능하게 릴리스되는 동작(150)으로 이어진다. 릴리스 동작(150) 후에, LED 요소들은 동작(145)에서 형성된 앵커들에 의해 캐리어에만 부착된 채로 남는다. 실시예들에서, LED 요소들은 LED 요소들과 캐리어 사이에 배치된 릴리스 층을 측방향으로 에칭함으로써 캐리어로부터 릴리스된다. 도 2k는 실시예들에 따라, 방법(101)의 완료 이후의 결정질 LED 본딩 소스 기판(250)의 단면도이다. 도시한 바와 같이, 소스 LED 본딩/릴리스 층들(212, 214)은 예를 들어, 복수의 결정질 LED 요소(230)를 언더컷하는, 임의의 이방성 드라이 또는 웨트 화학 에칭제(예를 들어, HF)로, 측방향으로 에칭된다. 캐리어(220) 상에 랜드한 앵커들(245)은 다음에 각각의 LED 요소(230)의 전체 측방향 영역 또는 풋프린트에 걸쳐 연장되는 자유 공간 공극(249)에 의해 둘러싸인다. 감광성 폴리머가 앵커 재료를 위해 이용되는 예시적인 실시예들에서, 각각의 앵커(245)는 적어도 2개의 인접한 LED 요소(230)를 코팅하는 측벽 유전체(스페이서(235))와 접촉하는 폴리머 필러이다(예를 들어, 4개의 가장 가까운 LED 요소(230)가 각각의 앵커(245)에 의해 접촉된다). 거기에서 유전체 캡핑 재료가 제2 금속 LED 전극(225) 위에 도포되는 예시적인 실시예에서, 이 유

전체 캡핑 재료는 디스플레이 어셈블리에의 LED 요소들의 트랜스퍼를 대비하여 제2 금속 LED 전극(225)을 다시 노출시키기 위해 제거될 수 있다. 도 2k에 더 도시된 바와 같이, 유전체 캡핑 재료(227)의 제거 이후에, 측벽 유전체(235)의 상부 표면이 제2 금속 전극(227)의 노출된 표면뿐만 아니라 제1 금속 전극(210)의 노출된 표면과 평탄하다. 캡핑 재료를 제거하기 위해 이용된 기술의 선택도에 따라, 앵커들(245)은 도 2k에 도시된 바와 같이, 제2 금속 전극(227)의 노출된 표면 위로 연장할 수 있다. 대안적으로, 앵커들(245)은 리세스될 수 있거나 제2 금속 전극(227)의 노출된 표면과 실질적으로 평탄할 수 있다. 방법(101)은 LED 요소들이 LED 디스플레이 어셈블리를 픽업하고 본딩할 준비가 이제 된 상태로 다음에 실질적으로 완료될 수 있다.

[0025] 다른 실시예에서, 방법(101)은 각각의 LED 요소를 전기 테스트할 필요를 피하기에 충분한 전기적 용장성을 위해 위에 설명된 각각의 LED 요소를 복수의 LED 내로 분리하기 위해 약간 수정될 수 있다. 각각의 LED 요소의 마이크로미터 측방향 치수들이 주어지는 경우에 각각의 요소를 전기-테스트하는 것이 불가능할 수 있고, 임의의 주어진 LED 요소는 (예를 들어, 반도체 LED 막 스택의 결합으로 인해) LED 요소 수율의 함수로서 이용가능하지 않을 수 있다. 그러므로 유리한 실시예들에서, 하나 이상의 요소내 트렌치가 위에 설명된 각각의 LED 요소의 제2 금속 전극 막 및 LED 반도체 막 스택을 통해 에칭된다. LED 요소는 그럼으로써 LED 요소 마다 적어도 하나의 LED가 기능할 확률이 매우 높은 충분한 수의 LED들로 분리된다. 각각의 요소 내에 필요한 LED들의 수는 결합 밀도/클러스터링의 함수이다. 요소내 트렌치는 각각의 요소 내의 모든 LED들이 제1 금속 LED 전극에 의해 병렬로 전기적으로 결합되도록 제1 금속 LED 전극 상에서 중지된다. 이러한 실시예들에 대해, 트렌치 에칭 동작(135)은 2개의 마스크 동작을 수반할 수 있는데: 하나는 위에 설명된 요소간 트렌치들을 정하는 것이고, 다른 하나는 요소내 트렌치들을 정하는 것이다. 2개의 마스크 에칭이 본 기술 분야에 공지된 임의의 방식으로 수행될 수 있다. 2-스테이지 트렌치 에칭 동작 이후에, 동작(140)에서의 유전체 스페이서 형성은 요소내 트렌치들을 완전히 백필(backfill)하기 위해 더 이용될 수 있다.

[0026] 도 3a, 3b, 3c, 3d, 및 3e는 방법(101)의 예시적 동작들이 각각의 LED 요소가 복수의 LED로 분리되는 대안적 실시예들에 따라 수행될 때 예시적인 결정질 LED 요소들의 단면도들이다. 도 3a는 별개의 LED 요소들을 묘사하는 제1 마스크된 트렌치 에칭을 도시한다. 마스크(331)는 인접한 LED 요소들(230)을 분리하는 요소간 트렌치들(332)의 위치들을 정한다. 요소간 트렌치 에칭은 실질적으로 동작(135)의 맥락에서 위에 설명된 것과 같을 수 있지만, 에칭은 LED 요소 스택을 클리어하기 전에 중지된다(예를 들어, 제1 금속 전극 막(210) 상에서 중지된다). 도 3b는 각각의 LED 요소 내의 별개의 LED 필러들을 묘사하는 제2 마스크된 트렌치 에칭을 도시한다. 마스크(333)는 각각의 LED 요소(230) 내의 인접한 LED 필러들(330)을 분리하는 요소내 트렌치들(334)의 위치들을 정한다. 마스크(333)를 위한 특징들은 예를 들어, 서브-미크론 체제에서 측방향 CD를 가질 수 있다. 요소내 트렌치 에칭은 실질적으로 동작(135)의 맥락에서 위에 설명된 것과 같을 수 있지만, 에칭은 LED 요소 스택을 클리어하기 전에 중지된다(예를 들어, 제1 금속 전극 막(210) 상에서 중지된다). 마스크(333)가 개방된 요소간 트렌치들(332)을 남겨 놓음에 따라, 트렌치들(332) 내의 에칭 프론트가 요소들내 트렌치들의 에칭 동안 제1 금속 전극 막(210)을 통해 진행하고, 그럼으로써 LED 요소들(230)의 묘사를 완료한다. 도 3c는 (예를 들어, 도 1 내의 동작(140)에서 수행된) 유전체 스페이서 형성을 더 도시한다. 요소내 트렌치들(334)이 측벽 유전체 스페이서들(235)의 측방향 폭 W_2 의 2배 미만인 측방향 폭 W_1 를 갖는 유리한 실시예들에서, 유전체 스페이서(235)는 요소내 트렌치들(334)을 백필한다. 요소간 트렌치들(332)은 스페이서 유전체로 완전히 다시 백필되지 않고 그러므로 본딩/틸리스 재료 층(212/214)은 실질적으로 위에 설명된 것과 같고 도 3d 및 3e에 더 도시된 것과 같이 LED 요소 앵커들의 형성 중에 리세스될 수 있다. 도 3e에 도시한 바와 같이, 결정질 LED 본딩 소스 기관(350)은 각각의 요소(230) 내의 용장성 LED들(330)의 추가로, 결정질 LED 본딩 소스 기관(250)을 위한 위에 설명된 구조적 특징들의 많은 것을 갖는다. 방법(101)은 LED 본딩 소스 기관(350)의 LED 요소들이 LED 디스플레이 어셈블리를 픽업/본딩할 준비가 이제 된 상태로 다시 실질적으로 완료될 수 있다. 용장성 LED들은 결합들을 수리하기 위해 유용하다. 검사 시에, 결합 LED(330)는 집속된 이온 빔으로 상부 전극과의 금속 접촉을 제거함으로써 분리될 수 있다. 전류가 남아있는 양호한 LED들 간에 재분배될 것이다. 전류는 다음에 결합 요소들과 독립한 발광을 설정할 것이다.

[0027] 도 4는 실시예들에 따라, 디스플레이 어셈블리 내로 결정질 LED 요소들을 어셈블리하는 방법(401)을 도시한 흐름도이다. 방법(401)에서 이용된 LED 요소들이 LED 본딩 소스 기관(250)(도 2k) 또는 LED 본딩 소스 기관(350)(도 3e)과 같은, LED 본딩 소스 기관으로부터 픽업 및/또는 트랜스퍼될 수 있다. 도 5a, 5b, 5c, 5d, 및 5e는 실시예들에 따라, 방법(401)의 예시적 동작들이 수행될 때 디스플레이 내로 어셈블리되는 예시적인 결정질 LED 요소들의 단면도들이다.

[0028] 도 4를 참조하면, 방법(401)은 LED 본딩 기관이 수용되는 동작(460)에서 시작된다. 본딩 기관(505)은 디스플레이

이 기관 또는 디스플레이를 빌드 업하기 위한 임시 기관일 수 있다. 도 5a는 임시 기관 실시예를 더 도시한다. 본딩 기관(505)은 임의의 유전체(예를 들어, 접착제 폴리머들)일 수 있는, 릴리스 층(514)으로 덮인다. 빌드-업 후에, LED 디스플레이 어셈블리는 릴리스 층(514)에서 제거될 수 있고 본딩 기관(505)은 다음에 릴리스 후에 재사용된다. 본딩 기관(505)은 그러므로 이용된 LED 본딩 공정을 위해 충분한 편평함을 갖고 원하는 디스플레이 영역을 수용하기 위해 충분히 큰 면적(예를 들어, 대형 포맷)을 갖는 빌드-업에 적합한 본 기술 분야에 공지된 임의의 기관 재료로 될 수 있다. 예시적인 본딩 기관 재료는 유리이다. 도 5a에 도시된 예시적인 실시예는 빌드 업 및 릴리스 후에 LED 디스플레이 어셈블리를 보호하는 유전체 보호 층(527)을 더 포함한다. 예시적인 보호 층 재료들은 SiON, SiN, 및 CDN을 포함한다. 대체 실시예들에서, 유전체 보호 층(527)은 이용되지 않는다.

[0029] 본딩 기관 위에는 제1 LED 전극을 디스플레이 백플레인(예를 들어, 구동 회로, 액세스 트랜지스터들, 및/또는 별개의 전자 소자들 등)과 인터페이스하기 위한 제1 백플레인 금속 상호접속들을 갖는 디스플레이 백플레인 인터페이스가 배치된다. 도 5a에 도시된 예시적인 실시예에서, 제1 백플레인 금속 상호접속들(540)은 본딩 기관(505) 위에 배열된 패드들이다. LED 디스플레이가 $5\mu\text{m} \times 5\mu\text{m}$ LED 요소들의 어레이를 포함하는 예시적인 실시예에 대해, 제1 백플레인 금속 상호접속들(540)은 약 $25\mu\text{m}$ 의 피치를 갖는 $10\mu\text{m}$ 금속 패드들일 수 있다. 제2 백플레인 금속 상호접속들(545)은 또한 본딩 기관(505) 위에 (예를 들어, 유사한 피치를 갖지만, 더 작은 패드 크기로) 배열된 금속 패드들이다. 제2 백플레인 상호접속들(545)은 제2 LED 전극에 전기적으로 결합되고, 그래서 제1 백플레인 금속 상호접속들(540)과 전기적으로 분리된다. 제1 및 제2 백플레인 금속 상호접속들(540, 545)은 본딩 기관 시작 재료(즉, 방법(401)의 업스트림에서 제조됨)의 특징들로서 수용될 수 있거나, 또는 (예를 들어, 임의의 공지된 상호접속 금속화를 퇴적하기 위해 임의의 공지된 금속 퇴적 공정을 사용하여) LED 디스플레이 어셈블리 빌드 업의 일부로서 퇴적 및 패터닝될 수 있다.

[0030] 도 4를 참조하면, 방법(401)은 도전성 폴리머가 본딩 기관의 영역들에 도포되는 동작(465)으로 이어진다. 도전성 폴리머는 LED 디스플레이 어셈블리가 LED 요소 주위에 빌드 업되는 동안 LED 요소를 본딩 기관에 부착하고, 백플레인 금속 상호접속들 중 하나를 LED 요소의 제1 측면/후면 상의 금속 전극에 전기적으로 접속시킨다. 한 유리한 실시예에서, 도전성 폴리머는 감광성 도전성 막(예를 들어, 도전성 포토레지스트)이다. 이러한 재료의 예는 도전성 폴리머(예를 들어, 폴리아닐린)로 도핑된 기본 포토레지스트(예를 들어, SU-8 25)이다. 일부 도전성 포토레지스트 공식들이 1 μm -cm의 범위 내의 비저항을 갖는 것으로서 기술 문헌들에 설명되어 있다. 이 비저항에서, 본원의 실시예들에 따라 이용된, 약 $0.5\mu\text{m}$ 두께의 도전성 폴리머에 기인하는 기생 전기 저항은 $5\mu\text{m} \times 5\mu\text{m}$ LED 요소에 대해 ~200 Ω 의 범위 내에 있는 것으로 예상된다. 이것은 이 크기의 요소에 대한 전형적인(p형) 접촉 저항(예를 들어, >2킬로 Ω)보다 훨씬 작다.

[0031] 도전성 폴리머는 본딩 기관 위에 스핀-코팅될 수 있고, 도 5a에 도시된 바와 같이, 제1 백플레인 금속 상호접속들(540) 상에 배치된 도전성 폴리머 요소들(550) 내로 패터닝될 수 있다. 도전성 폴리머 요소들의 패터닝 및 정렬은 $10\mu\text{m}$ 금속 상호접속 패드에 대해서는 비임계적이고, 도전성 폴리머 요소는 $25\mu\text{m}$ 피치 상의 10- $15\mu\text{m}$ 의 측방향 치수를 가질 수 있다. 도전성 포토레지스트 실시예들은 간단한 리소그래픽 노출/현상 공정으로 유리하게 광학적으로 묘사될 수 있다. 비감광성 도전성 폴리머 실시예들은 또한 도전성 폴리머를 요소들 내로 패터닝하기 위한 리소그래픽 마스크 공정 및 후속하는 에칭/솔벤트 용해 공정에 의존할 수 있다.

[0032] 도 4를 참조하면, 방법(401)은 복수의 LED 요소가 도전성 폴리머에 부착되는 동작(470)으로 이어진다. 보다 구체적으로, 각각의 LED 요소의 제1 금속 LED 전극이 도전성 폴리머와 전기적으로 접촉하여 놓인다. 도전성 폴리머는 제1 금속 LED 전극을 디스플레이 백플레인 금속 상호접속에 결합시킨다. 도 5b에 도시된 예시적인 실시예에서, LED 요소(230)는 도전성 폴리머 요소(550)와 직접 접촉하여 제1 금속 LED 전극(210)으로 도포된다. LED 요소(230)와 도전성 폴리머 요소(550) 사이의 정렬은 비임계적이고 LED 요소(230)는 임의의 트랜스퍼 프린팅/픽업플레이스 본딩 기술을 사용하여 LED 결정질 LED 본딩 소스 기관으로부터 트랜스퍼될 수 있다. 예를 들어, 복수의 LED 요소는 금속 LED 전극(225)이 스탬프/헤드로 향하여 있는 프린트 스탬프 또는 픽업플레이스 헤드로 소스 기관로부터 픽업될 수 있다. 복수의 요소 각각에 대한 금속 전극(210)은 다음에 복수의 LED 요소와 분리된 도전성 폴리머 및 픽업플레이스 헤드와 접촉하여 놓인다. 한 유리한 실시예에서, 실온 압축 본딩이 제1 금속 LED 전극(들)(210)을 도전성 폴리머 요소(550)에 부착하기 위해 이용된다. 다른 실시예에서, 실온 본딩이 도전성 폴리머의 고온(예를 들어, 140-180 $^{\circ}\text{C}$) 경화, 및/또는 UV 경화가 뒤따르는 초기 본딩을 위해 이용된다.

[0033] 도 5a 및 5b는 도전성 폴리머가 복수의 LED 요소(230)를 도전성 폴리머에 부착하기 전에 복수의 별개의 도전성 폴리머 요소(550) 내로 패터닝되는 예시적인 실시예를 도시한다. 그러나, 대안적 실시예들에서 도전성 폴리머의 패터닝은 LED 요소(230)의 본딩에 후속하여 수행된다. 예를 들어, 플러드 노출이 자체 정렬 방식으로 LED

요소를 본딩하지 않은 모든 도전성 폴리머를 제거하기 위해 이용될 수 있다. 비감광성 도전성 폴리머 실시예들에 대해, 자체 정렬된 도전성 폴리머 에칭/솔벤트 용해는 LED 요소들이 도전성 폴리머에 부착되기 전에 수행될 수 있다.

[0034] 도 4를 참조하면, 방법(401)은 LED 디스플레이 어셈블리가 제2 금속 LED 전극에 전기적으로 결합하는 적어도 하나의 도전성 상호접속으로 빌드 업되는 동작(475)으로 이어진다. 제2 금속 LED 전극이 LED 요소의 발광 표면 위에 배치된 유리한 실시예들에서, LED 요소의 발광 표면 위에 또한 배치된 도전성 상호접속의 적어도 일부는 LED 요소의 방출 대역 내에서 광학적으로 투과성이다. 도 5c에 도시된 한 예시적인 실시예에서, 금속 LED 전극(225)과 접촉하는 도전성 상호접속(560)은 ITO이다. 광학적으로 투과성인 상호접속은 다음에, 예를 들어 임의의 통상적인 빌드-업 상호접속 기술을 통해 제2 백플레인 금속 상호접속(545)에 전기적으로 결합된다. LED 요소(230) 및 상호접속 금속화는 열경화성 에폭시 수지 및/또는 빌드-업 유전체 막들(예를 들어, Ajinomoto Build-up Film 등)과 같지만, 이들로 제한되지 않는 임의의 공지된 재료일 수 있는, 빌드-업 유전체(565) 내에 포함된다. 다른 실시예들에서, LED 디스플레이 어셈블리는 예를 들어 용량성, 유도성, 광학, 또는 다른 공지된 터치 센서 네트워크를 위한 금속화를 포함하는, 터치 센서 층을 더 포함한다. 도 5c에 더 도시된 바와 같이, 터치 센서 층(570)은 LED 요소(230)를 포함하는 빌드 업 유전체(565) 위에 배치된다.

[0035] 도 4를 참조하면, 방법(401)은 디스플레이 커버가 LED 어셈블리에 부착되고 본딩 기관이 디스플레이 어셈블리로부터 제거되는 동작(480)으로 이어진다. 도 5d에 도시된 예시적인 실시예에서, 디스플레이 커버(575)는 터치 센서 층(570) 위에 배치되고 유리, 또는 사파이어(알루미늄 산화물 Al_2O_3)와 같지만 이들로 제한되지 않는, LED 요소들의 방출 대역 내에서 광학적으로 투과성인 임의의 재료일 수 있다. 디스플레이 커버(575)의 두께에 따라, LED 디스플레이 어셈블리(501)는 본딩 기관(505)의 제거 시에 가요성 또는 강성일 수 있다. 예를 들어 디스플레이 커버(575)가 수십 마이크로미터 정도인 경우에, LED 디스플레이 어셈블리(502)는 주로 커버 두께의 함수인 곡률 반경으로 가요성일 수 있다. LED 디스플레이 어셈블리(501)를 위한 구조적 지지를 제공하는 디스플레이 커버(575)로, 본딩 기관(505)은 디스플레이 백플레인 인터페이스(예를 들어, 금속 상호접속들(540, 545)) 및 복수의 LED 요소(230)를 보유한 빌드-업을 갖는 빌드-업 유전체(565)와 분리될 수 있다. 예를 들어, 레이저 리프트 트오프/디본딩 공정은 릴리스 층(514)과 보호 층(527)의 인터페이스에서 분리를 유도하기 위해 이용될 수 있다. 방법(401)은 다음에 도 5d에 도시된 바와 같이 실질적으로 배열된 수십만 또는 수백만 개의 LED 요소를 이제 갖는 LED 디스플레이 어셈블리로 실질적으로 완료된다. 디스플레이 어셈블리는 다음에 전자 디바이스(예를 들어, 이동 컴퓨팅 플랫폼/핸드셋) 내로 설치/통합 준비된다. 도 5e는 방법(401)이 LED 디스플레이 어셈블리(501)의 맥락에서 위에 설명된 것과 같이 실질적으로 LED 디스플레이 어셈블리(502)를 형성하기 위해 소스 기관(350)을 이용하는 대체 실시예를 도시한다.

[0036] 도 6은 대안적 실시예들에 따라, 결정질 LED 본딩 소스 기관을 제조하는 방법(602)을 도시한 흐름도이다. 방법(602)은 LED 요소들이 결정질 LED 디스플레이 어셈블리를 어셈블리하기 위해 그로부터 트랜스퍼될 수 있는 LED 소스 기관을 제조하는 방법(101)(도 1)의 대안이다. 방법(101)이 대항하는 양면 금속 LED 전극들(LED 요소의 앞 또는 뒤)을 갖는 LED 요소들을 제공하는 반면, 방법(601)은 단면 금속 LED 전극들(LED 요소의 앞 또는 뒤)을 갖는 LED 요소들을 제공한다. 자체 정렬 패터닝 기술들이 최소 임계 패터닝/오버레이 요건들을 갖는 작은 LED 요소 풋프린트를 유지하기 위해 이용된다.

[0037] 방법(601)은 동작(605)에서 수용된 반도체 LED 막 스택으로부터 LED 소스 기관을 만들어 내기에 적합한 웨이퍼-레벨 처리를 포함한다. 반도체 LED 막 스택은 모놀리식 바디(예를 들어, LED 에피 웨이퍼)를 형성하기 위해 에피택셜 기관을 덮는 연속하는 막일 수 있다. 일반적으로, 임의의 공지된 반도체 LED 막 스택이 이용될 수 있다. 도 7a에 도시된 예시적인 실시예에서, 에피 웨이퍼(701)는 에피택셜 기관(205), 버퍼 층(206) 및 버퍼 층(206) 상에 에피택셜 성장한 제1 도핑된 반도체 영역(706), 및 제2 상보형 도핑된 반도체 영역(708)을 적어도 포함하는 반도체 LED 막 스택(707)을 포함한다. 실시예들에서, LED 막 스택(707)은 예를 들어, 양자 웰 등을 형성하는 하나 이상의 반도체 헤테로접합을 포함한다. 예시적인 실시예에서, 제1 도핑된 반도체 영역(706)은 n형 도핑된 층이고 반도체 영역(708)은 다이오드 스택 아키텍처를 완성하는 p형 도핑된 층이다. 특정한 실시예들에서, 반도체 LED 막 스택(707)은 예를 들어, GaN 및/또는 InGaN과 같은, 그것의 합금들을 포함하는 헤테로에피택셜 III-N 반도체 막 스택이다. 그러나, 반도체 LED 막 스택(707)의 특정한 조성물은 원하는 방출 대역에 의존하고, 본원의 실시예들은 그와 관련하여 제한되지 않는다.

[0038] 위에 설명된 바와 같이, 에피택셜 기관(205)은 LED 반도체 막 스택이 성장하기에 적합한 임의의 공지된 기관일 수 있다. 예를 들어, 기관(205)은 몇가지 예를 들자면 실리콘, 게르마늄, SiGe, GaAs, InP와 같은 III-V 화합

물들, GaN과 같은 III-N 화합물들, 3C-SiC, 및 사파이어를 포함하지만, 이들로 제한되지 않는 다양한 재료들일 수 있다. 버퍼 층(들)(206)은 에피택셜 기판(205)의 조성물 및 마이크로구조로부터 LED 막 스택(207)의 것으로 전이하기에 적합한 임의의 공지된 아키텍처로 될 수 있다. 도 7a에 또한 도시된 바와 같이, 본딩 재료 층(712), 예를 들어, SiO_x와 같은 유전체는 도핑된 반도체 층(708) 위에 더 퇴적될 수 있다.

[0039] 도 6을 참조하면, 방법(601)은 LED 막 스택이 캐리어 기판으로 트랜스퍼되는 동작(610)으로 이어진다. 웨이퍼-레벨 막 트랜스퍼 동작(610)은 동작(605)에서 수용된 LED 에피 기판이 LED 본딩 소스 기판에 대한 적합한 지지인 경우에 필요하지 않을 수 있다. 예를 들어, 동작(605)에서 수용된 에피택셜 기판이 막 스택 내에 제조된 LED 요소들(예를 들어, 릴리스 층을 포함)과 후속적으로 분리될 수 있는 적절하게 평탄한 캐리어(예를 들어, 실리콘 웨이퍼) 위에 올바른 층 순차(예를 들어, p형 도핑된 층 위의 n형 도핑된 층)의 LED 반도체 막 스택을 이미 포함하는 경우이다. 막 트랜스퍼가 유리한 예시적인 실시예에 대해, LED 반도체 스택이 본 기술 분야에 공지된 임의의 기술에 따라 동작(610)에서 캐리어에 결합될 수 있다. 한 실시예에서, 이 결합은, 예를 들어 LED 막과 캐리어 사이의 임의의 (열적) 압축 본딩을 사용하여 장기간 안정하다. 또 하나의 실시예에서, 이 결합은, 예를 들어 캐리어와 LED 막-전극 스택 사이의 임시 접착제 폴리머 및/또는 정전기 결합을 사용하여, 단기간 안정하다. 마찬가지로, 동작(610)에서 본 기술 분야에 공지된 임의의 기술이 LED 막 스택을 에피택셜 기판과 분리시키기 위해 이용될 수 있다. 예를 들어 레이저 리프트오프 또는 CMP/그라인드 및 세정이 에피택셜 기판을 제거하기 위해 이용될 수 있다. 도 7b에 도시된 예시적인 실시예에서, 본딩 재료 층(712)은 캐리어(720) 상에 존재하는 본딩 재료 층(예를 들어, SiO_x)에 압축 본딩된다. 에피택셜 기판은 다음에 제거되어 도 7c에 더 도시된 바와 같이, 상보형 도핑된 LED 반도체 영역 또는 층(706)이 노출된다.

[0040] 도 6을 참조하면, 방법(601)은 전극 금속이 LED 막 스택 위에 퇴적되는 동작(615)으로 이어진다. 전극 금속의 조성물은 예를 들어, 음 접촉, 터널링 접촉 등을 제공하기에 적합한 원하는 금속 일함수를 제공하기 위해 LED 막 스택의 함수로서 변화할 수 있다. 한 예시적인 실시예에서, 동작(615)에서 퇴적된 금속은 n형 도핑된 반도체 층과 접촉하기에 적합한 n형 금속이다. 일부 실시예들에서 n형 접촉 금속은 접촉 금속 상에 퇴적된 벌크 재료로 전극 스택을 형성한다. PVD, CVD, 전해, 또는 무전해 도금과 같지만, 이들로 제한되지 않는 임의의 공지된 퇴적 기술이 동작(615)에서 이용될 수 있다. 도 7d에 더 도시된 바와 같이, n형 금속 막은 n형 도핑된 반도체 층(706) 위에 퇴적되고 LED 막 스택 위에 배열된 복수의 제1 금속 LED 전극(710) 내로 패터닝된다. 임의의 공지된 리소그래픽 패터닝 및 마스크된 에칭 공정 또는 마스크된 도금 공정이 동작(615)에서 이용될 수 있다. 한 예시적인 실시예에서, 동작(615)은 Cu 도금 전극들(710)을 수반한다.

[0041] 도 6을 참조하면, 방법(601)은 복수의 LED 요소가 LED 반도체 막 스택 내로 트렌치들을 에칭함으로써 형성되는 동작(620)으로 이어진다. 트렌치 에칭은 매립된 제2 도핑된 반도체 영역 상에서 중지한다. 이 에칭은 제1 금속 LED 전극들을 에칭하기 위해 이용된 동일한 패턴으로 마스크될 수 있고/있거나(예를 들어, 트렌치 에칭은 전극들을 정하는 포토레지스트의 제거 없이 전극 에칭을 따른다) 제1 금속 LED 전극들은 트렌치 에칭을 위한 마스크로서 이용될 수 있다. LED 요소를 묘사하는 트렌치들은 그러므로 제1 금속 LED 전극에 자체 정렬된다. LED 요소의 발광 표면적은 그러므로 제1 금속 LED 전극의 면적과 거의 동일할 수 있다. 트렌치 에칭 동작(620) 이후에, 유전체 스페이서가 동작(625)에서 제1 금속 LED 전극들 및 제1 도핑된 반도체 영역의 측면 주위에 형성된다. SiO_x, SiON, SiN, CDO, 및 CDN과 같지만, 이들로 제한되지 않는 임의의 공지된 유전체 재료는 LED 요소들 위에 등각으로 퇴적될 수 있다. 이방성 에칭이 다음에 선택된 유전체 재료를 위한 본 기술 분야에 공지된 임의의 이방성 에칭 공정을 사용하여 수행된다.

[0042] 도 7e는 동작(620)에서의 그들의 묘사 및 동작(625)에서의 유전체 스페이서에 의한 봉합 이후의 결정질 LED 요소들(730)의 단면도이다. 예시적인 실시예에서, LED 요소들의 측면 방향 요소 폭 W_e는 5μm 이하로 되도록 패터닝된다. 더 도시된 바와 같이, 스페이서 유전체(735)(예를 들어, CDN)는 LED 요소들(730)과의 자체 정렬된 측면 유전체 코팅의 역할을 한다. 유리한 실시예들에서, 스페이서 형성을 위해 이용된 유전체 재료의 두께는 유전체 스페이서(735)가 동작(620)(도 6)에서 LED 막 스택 내로 에칭된 트렌치들(732)의 명목상 측면 방향 폭 W_t의 1/2 미만이거나, 또는 폭 W_s를 갖는 것을 보장하도록 선택된다. 예시적인 실시예들에서, W_s는 0.1μm 미만이다. 스페이서 폭은 다음에 인접한 LED 요소들 상의 2개의 유전체 스페이서가 도핑된 반도체 영역(708)의 부분이 트렌치(732)의 하부에서 노출되게 남기는 것을 보장한다.

[0043] 도 6을 참조하면, 방법(601)은 제2 금속 LED 전극 막이 인접한 LED 요소들 사이에 노출된 LED 막 스택의 제2 도핑된 반도체 영역과 접촉하여 퇴적되는 동작(630)으로 이어진다. 금속 전극 막은 금속 전극 막이 스페이서 유

전체 측벽을 따르는 것을 보장하기 위해 등각 퇴적 공정으로 LED 요소들 위에 퇴적된 블랭킷이다. 제2 전극 금속의 조성물은 예를 들어, 옴 접촉, 터널링 접촉 등을 제공하기에 적합한 원하는 금속 일함수를 제공하기 위해 LED 막 스택의 함수로서 변화할 수 있다. 한 예시적인 실시예에서, 동작(630)에서 퇴적된 금속은 p형 도핑된 반도체 층과 접촉하기에 적합한 p형 금속이다. 다른 실시예들에서, p형 금속은 멀티-금속 스택 내의 한 재료일 수 있다. 한 실시예에서, p형 금속은 알루미늄(Al)이고, 또 하나의 실시예에서 p형 금속은 니켈(Ni)의 층 위의 금(Au)이다. CVD 및 ALD 전해, 또는 무전해 도금과 같지만 이들로 제한되지 않는, 적합한 등각성의 임의의 공지된 퇴적 기술이 동작(630)에서 이용될 수 있다.

[0044] 제2 전극 금속 막은 다음에 동작(625)에서 형성된 유전체 스페이서와 금속 LED 전극 스페이서를 적어도 부분적으로 자체 정렬하기 위해 이방성으로 에칭된 블랭킷이다. 예시적인 실시예에서, 금속 LED 전극 막은 유전체 스페이서에 인접한 완전히 자체 정렬된 금속 전극 스페이서를 형성하기 위해 추가 리소그래픽 마스크 없이 에칭된다. 이방성 에칭 공정은 이용된 특정한 p형 금속(들)을 위해 임의의 공지된 것일 수 있다. 예를 들어, Al과 Au 둘 다 Cu 전극(710) 및 SiN 스페이서 유전체(735)는 에칭되지 않고 남겨 놓으면서 염소-기반 드라이 에칭 공정으로 에칭될 수 있다. 동작(625)에서 형성된 자체 정렬된 금속 전극은 LED 스택의 제2 도핑된 반도체 영역과의 접촉(예를 들어, p-접촉)을 유지한다. 자체 정렬된 금속 전극이 2개의 인접한 유전체 측벽 스페이서들 사이의 트렌치 폭의 1/2 미만인 측방향 폭을 갖는 유리한 실시예들에서, LED 요소들의 묘사는 제2 금속 LED 전극에 자체 정렬된 에칭으로 제2 도핑된 반도체 층을 통해 트렌치 에칭을 계속함으로써 완료될 수 있다.

[0045] 도 7f에 도시된 예시적인 실시예에서, p형 금속 막의 이방성 에칭은 금속 전극(710)의 주변을 둘러싸는 금속 전극(740)을 형성한다. 금속 전극(740)은 유전체 측벽(735)과 그리고 그와 접촉하여 자체 정렬된다. 금속 전극 막의 마스크되지 않은 이방성 에칭 이후에, 금속 전극(740)은 금속 LED 전극(710)보다 낮은 z-높이로 리세스된다. 유전체 측벽 스페이서(735)는 2개의 전극(710, 740)을 분리한다. 유리한 실시예들에서, 자체 정렬된 p-접촉을 위해 이용되는 금속 전극 재료의 두께는 금속 전극(740)이 스페이서 유전체(735)의 2개의 두께가 동작(620)(도 6)에서 LED 막 스택 내로 에칭된 트렌치의 부분 내에 채워진 후에 남은 트렌치들(732)의 명목상 측방향 폭 W_{12} 의 1/2 미만인 측방향 두께, 또는 폭 W_m 을 갖는 것을 보장하도록 선택된다. 금속 전극 폭은 다음에 인접한 LED 요소들 상의 2개의 자체 정렬된 금속 전극이 도핑된 반도체 영역(708)의 부분이 트렌치(732)의 하부에서 노출되게 남는 것을 보장한다. 금속 전극(740)의 자체 정렬된 부분들은 예를 들어 0.1 μ m 이하인 측방향 폭 W_m 을 갖고, 유리하게는 단지 수백 나노미터일 수 있다. 트렌치 에칭은 다음에 도핑된 반도체 영역(708)을 클리어하고 유리하게는 릴리스 층(712)의 적어도 부분적 두께를 통해 더 에칭할 수 있다. 도시된 실시예에서, 릴리스 층(712)을 통하는 이방성 에칭은 캐리어(720) 상에서 중지한다. 도 7g는 실시예들에 따라, 도 7f에 도시된 결정질 LED 요소들의 평면도이다. LED 요소들(730)은 도 7g에 도시된 예시적인 실시예에서 직사각형(예를 들어, 정사각형)이다. 그러나, LED 요소들(730)은 대안적 형상(예를 들어, 원형 풋프린트)을 가질 수 있다. 도 7g는 금속 LED 전극(740)이 유전체 스페이서(735)가 그 사이에 배치된 금속 전극(710)을 둘러싸는 주변 접촉을 어떻게 형성하는지를 더 도시한다.

[0046] 도 6을 참조하면, 방법(601)은 LED 요소 앵커들이 인접한 LED 요소들을 분리하는 트렌치들 내에 형성되는 동작(645)으로 이어진다. 앵커들은 캐리어로부터의 LED 요소들의 제어된 릴리스를 대비하여 패터닝된다. LED 요소 앵커들은 LED 요소들을 언더컷하기 위해 릴리스체를 위한 접근을 여전히 남기면서 LED 요소 측벽들의 부분들을 가로지르는, 동작들(620 및 635)에서 에칭된 트렌치들 내에 형성된다. 도 7h에 더 도시된 바와 같이, 앵커 재료는 다음에 인접한 LED 요소들 사이의 트렌치들 내에 퇴적되어, 적어도 리세스된 릴리스 층 및 금속 LED 전극(740)에 의해 정해진 트렌치의 부분을 채운다. 앵커 재료는 트렌치들(732) 내에 백필될 수 있고, 예를 들어 스핀-온 공정으로, LED 요소들(730)의 상부 표면과 평탄화한다. 평탄화된 앵커 재료는 다음에 복수의 별개의 앵커(745) 내로 패터닝될 수 있다. 한 유리한 실시예에서, 앵커 재료는 트렌치들(732) 내로 스핀-코팅된 감광성 폴리머릭 재료(예를 들어, 포토레지스트)이다. 포토레지스트는 다음에 실시예들에 따라, 도 7h에 도시된 결정질 LED 요소들(730)의 평면도인, 도 7i에 더 도시된 바와 같이, 트렌치를 채우고 인접한 LED 요소들(730) 사이의 분리를 유지하는 별개의 LED 요소 앵커들(745) 내로 리소그래픽 패터닝(예를 들어, 노출 및 현상)된다.

[0047] 도 6을 참조하면, 방법(601)은 앵커된 LED 요소들이 캐리어로부터 제거가능하게 릴리스되는 동작(650)으로 이어진다. 릴리스 동작(650) 후에, LED 요소들은 동작(645)에서 형성된 앵커들에 의해 캐리어에만 부착된 채로 남는다. 실시예들에서, LED 요소들은 LED 요소들과 캐리어 사이에 배치된 릴리스 층을 측방향으로 에칭함으로써 캐리어로부터 릴리스된다. 도 7j는 실시예들에 따라, 방법(601)의 완료 이후의 결정질 LED 본딩 소스 기관(750)의 단면도이다. 도시한 바와 같이, 소스 LED 본딩/릴리스 층(712)은 예를 들어, 복수의 결정질 LED 요소(730)를 언더컷하는, 임의의 이방성 드라이 또는 웨트 화학 에칭제(예를 들어, HF)로, 측방향으로 에칭된다.

캐리어(720) 상에 랜드한 앵커들(745)은 다음에 각각의 LED 요소(730)의 전체 측방향 영역 또는 풋프린트에 걸쳐 연장되는 자유 공간 공극(749)에 의해 둘러싸인다. 감광성 폴리머가 앵커 재료를 위해 이용되는 예시적인 실시예들에서, 각각의 앵커(745)는 적어도 2개의 인접한 LED 요소(730)의 금속 전극(740)과 접촉하는 폴리머 필러이다(예를 들어, 4개의 가장 가까운 LED 요소(730)가 각각의 앵커(745)에 의해 접속된다). 일부 실시예들에서, 앵커들(745)은 LED(730)의 에지들 또는 코너들의 선택된 쌍들 상에 배치될 수 있다. 방법(601)은 LED 요소들이 LED 디스플레이 어셈블리에 트랜스퍼/본딩할 준비가 이제 된 상태로 다음에 실질적으로 완료될 수 있다.

[0048] 도 8a는 각각의 LED 요소가 복수의 LED로 분리되는 대안적 실시예들에 따라 방법(601)의 예시적 동작들이 수행될 때 예시적인 결정질 LED 요소들의 단면도이다. 도 8b는 도 8a에 도시된 결정질 LED 요소들의 평면도이다. 도 8c는 각각의 LED 요소가 복수의 LED로 분리되는 대안적 실시예들에 따라 방법(601)의 완료 이후의 예시적인 결정질 LED 요소들의 단면도이다.

[0049] 도 8a는 별개의 LED 요소들을 묘사하는 요소간 트렌치를 도시한다. 요소간 트렌치는 각각의 LED 요소(730) 내의 용장성 LED들을 묘사하는 요소내 트렌치(834)를 형성하는 것에 후속하여 형성될 수 있다. 동작(620)에서 이용된 에칭 마스크(도시 안됨)는 요소간 트렌치들(832)과 함께, 인접한 LED들을 분리하는 요소내 트렌치들(834)의 위치들을 더 정할 수 있다. 요소내 트렌치들(834)은 예를 들어, 서브-미크론 체제에서 측방향 CD를 갖는 LED 필러들을 정할 수 있다. 요소내 트렌치 에칭은 예를 들어 (p형) 도핑된 반도체 층(708) 상에서 중지된, LED 막 스택을 클리어하기 전에 중지된다. 유전체 스페이서(735) 및 자체 정렬된 금속 LED 전극(740)은 위에 설명된 바와 같이 형성된다. 요소내 트렌치들(834)이 측벽 유전체 스페이서들(735)의 측방향 폭 W_s 의 2배보다 큰 측방향 폭 W_l 를 갖는 유리한 실시예들에서, 금속 전극(740)은 그것의 두께가 트렌치들 내의 유전체 스페이서들(735) 사이의 트렌치들(834) 내의 남아 있는 공간의 1/2보다 큰 경우에 요소내 트렌치들(834)을 백필한다. 요소간 트렌치들(832)은 자체 정렬된 스페이서 유전체, 또는 자체 정렬된 전극 금속으로 완전히 백필되지 않는다. 그러므로, 본딩/릴리스 재료 층(712)은 리세스될 수 있고 LED 요소 앵커들이 위에 설명된 것과 같고 도 8b 및 8c에 더 도시된 것과 같이 실질적으로 형성된다. 도 8c에 도시한 바와 같이, 결정질 LED 본딩 소스 기관(850)은 각각의 요소(730) 내의 용장성 LED들(830)의 추가로, 결정질 LED 본딩 소스 기관(750)을 위한 위에 설명된 구조적 특징들의 많은 것을 갖는다. 방법(601)은 LED 본딩 소스 기관(850)의 LED 요소들이 LED 디스플레이 어셈블리에 픽업/본딩할 준비가 이제 된 상태로 다시 실질적으로 완료될 수 있다. 용장성 LED들(830) 및 용장성 LED(830)의 수리를 위한 절차의 장점은 용장성 LED(330)에 대해 위에 설명된 것과 실질적으로 동일하다.

[0050] 도 9는 대안적 실시예들에 따라, 디스플레이 내로 결정질 LED 요소들을 어셈블리하는 방법(901)을 도시한 흐름도이다. 방법(901)에서 이용된 LED 요소들은 LED 본딩 소스 기관(750)(도 7j) 또는 LED 본딩 소스 기관(850)(도 8c)과 같은, 소정의 LED 본딩 소스 기관으로부터 픽업 및/또는 트랜스퍼될 수 있다. 도 10a-10g는 실시예들에 따라, 방법(901)의 예시적 동작들이 수행될 때 디스플레이 내로 어셈블리되는 예시적인 결정질 LED 요소들의 단면도들이다.

[0051] 도 9를 참조하면, 방법(901)은 LED 본딩 기관이 수용되는 동작(960)에서 시작된다. 동작(965)에서 광학적으로 투과성인 접착제가 본딩 기관에 도포된다. 도 10a에 더 도시된 바와 같이, 본딩 기관(1005)은 임의의 유전체(예를 들어, SiO_x)일 수 있는, 릴리스 층(1014)으로 덮인다. 본딩 기관(1005)은 LED 디스플레이 어셈블리가 빌드 업되는 임시 지지로서 기능한다. 빌드-업 후에, LED 디스플레이 어셈블리는 릴리스 층(1014)에서 제거될 수 있고 본딩 기관(1005)은 다음에 릴리스 후에 재사용된다. 본딩 기관(1005)은 그러므로 이용된 LED 트랜스퍼 공정을 위해 충분한 편평함을 갖고 원하는 디스플레이 영역을 위해 충분한 표면적(예를 들어, 대형 포맷)으로 된 빌드-업에 적합한 본 기술 분야에 공지된 임의의 기관 재료로 될 수 있다. 한 예시적인 본딩 기관 재료는 유리이다.

[0052] 실시예들에서, 커버는 본딩 기관의 릴리스 층 위에 배치된다. 커버는 디스플레이 어셈블리가 본딩 기관과 분리된 후에 LED 디스플레이 커버의 역할을 한다. 도 10a는 예시적인 디스플레이 커버(1075)를 도시하고 유리 및 사파이어(Al_2O_3)와 같지만 이들로 제한되지 않는, 디스플레이 커버 응용들에 적합한 공지된 임의의 재료로 될 수 있다. 다른 실시예들에서, 및 도 10a에 또한 도시된 바와 같이, 본딩 기관(1005)은 터치 센서 층(1070)을 더 포함하고 예를 들어, 임의의 공지된 용량성, 유도성, 광학 터치 기술들과 호환가능한 하나 이상의 패터닝된 재료 층을 포함할 수 있다.

[0053] 실시예들에서, 금속 커버측 상호접속들이 본딩 기관 위에 배치된다. 금속 커버측 상호접속들은 금속 LED 전극에 상호접속을 제공하기 위한 금속 패드들 및/또는 배선들일 수 있다. 도 10a에 도시된 예시적인 실시예에서,

금속 커버측 상호접속들(1040)은 인접한 금속 커버측 상호접속들(1040) 사이에 LED 요소를 수용하기 위해 주어 진 피치(예를 들어, 25 μ m)로 본딩 기관(1005) 위에 배열된 주어진 측방향 치수(예를 들어, 1 μ m)의 패드들이다.

[0054] 도 10a에 더 도시된 실시예에서, 광학적으로 투과성인 접착제(1045)가 (예를 들어, 커버측 상호접속들(1040)의 것과 비교할만한 피치로 배열된) 본딩 기관(1005) 위의 영역들에 도포된다. 접착제를 도포하기 위해 임의의 기술이 이용될 수 있고 접착제 재료는 실시예들이 이와 관련하여 제한되지 않음에 따라 공지된 임의의 상용화된 제품일 수 있다.

[0055] 도 9를 참조하면, 방법(901)은 LED 요소들이 본딩 기관에 부착되는 동작(970)으로 이어진다. 압축 본딩 및/또는 열적/UV 본딩/경화 기술들이 예를 들어, LED 요소들을 접착제 영역들에 부착하기 위해 이용될 수 있다. LED 요소들은 트랜스퍼 프린트/픽애플레이스 헤드 등으로 소스 기관(예를 들어, 소스 기관(750 또는 850))으로부터 복수의 LED 요소를 픽업함으로써 LED 본딩 소스 기관으로부터 트랜스퍼될 수 있다. 한 예시적인 실시예에 대해, 금속 LED 전극들은 프린트 헤드로 향할 것이고 LED 막 스택의 도핑된 반도체(예를 들어, p형) 층은 금속 전극들이 상부 측 상에서 노출된 본딩 기관과 접촉하여 놓일 수 있다. 방법(901)은 다음에 금속 막이 LED 요소들 및 본딩 기관 표면의 나머지 위에 퇴적되는 동작(975)으로 이어진다. 본딩 기관 상에 존재하는 임의의 노출된 커버측 상호접속들뿐만 아니라 LED 요소들의 노출된 전극들은 또한 동작(975)에서 퇴적된 금속 막으로 덮일 것이다. 유리한 실시예들에서, 금속 막은 양호한 단계 커버리지를 제공하는 기술(예를 들어, 등각 퇴적 공정)로 퇴적된다. 금속 퇴적 후에 금속 막의 패터닝이, 예를 들어 임의의 공지된 리소그래픽 패터닝 및 특정한 금속 조성물을 위해 공지된 금속 에칭 공정을 사용하여 수행될 수 있다. 패터닝 동작은 LED 요소들에의 금속의 로케일들을 전기적으로 분리하여, 여기서 IC, 센서 등이 본딩 기관에 본딩되는 것과 같은 비LED 영역들로부터 금속 막을 제거하기 위한 것이다. 금속 패터닝 동작은 또한 인접한 LED 요소들을 서로로부터 전기적으로 분리할 수 있다. 금속 패터닝은 예시적인 1-5 μ m \times 1-5 μ m LED 요소에 대해, 금속 패터닝의 측방향 치수들이 미크론 범위 내에 있고 오버레이 공차들이 2-5 μ m의 범위 내에 있다는 점에서 비임계적이다.

[0056] 도 10b는 동작(975)의 완료 이후의 한 예시적인 실시예를 도시한다. 2개의 LED 요소(730)는 접착제(1045)와 접촉하여 도핑된 반도체 층(708)이 있는 광학적으로 투과성인 접착제(1045)에 의해 (예를 들어, 임의의 트랜스퍼 프린트 또는 픽애플레이스 기술로) 본딩 기관(1005)에 부착된다. IC(1031)는 또한 광학적으로 투과성인 접착제(1045)로 본딩 기관(1005)에 부착되었다. LED 요소들(730) 위에는 패터닝 후에 동작(975)에서 퇴적된 금속 막의 나머지인 금속 로컬 상호접속(1060)이 배치된다. 로컬 상호접속(1060)은 적어도 금속 LED 전극(740)의 측벽 및 커버측 상호접속(1040)과 접촉한다. 예시적인 실시예에서, 로컬 상호접속(1060)은 제2 도핑된 반도체 영역(708)의 측벽 상에, 유전체 스페이서(735) 위에, 및 금속 LED 전극(710) 상에 더 배치된다. 도 10b에 더 도시된 바와 같이, 금속 로컬 상호접속(1060)은 IC(1031)로부터 상호접속 금속 막을 제거하고 인접한 LED 요소들 사이에 로컬 상호접속을 전기적으로 분리하기 위해 패터닝되었다. 각각의 로컬 상호접속(1060)은 하나의 금속 LED 전극(740)을 하나의 커버측 상호접속(1040)에 전기적으로 결합시킨다(그러나 로컬 상호접속(1060)의 다른 패터닝 및 상호접속이 가능하다).

[0057] 도 9를 참조하면, 방법(901)은 금속 LED 전극 및 커버측 상호접속과 접촉하는 로컬 상호접속의 부분이 LED 요소들 주위에 제1 유전체를 퇴적하고 LED 요소들의 상부 부분 아래의 유전체를 리세스함으로써 보호되는 동작(980)으로 이어진다. 이와 같이, 유전체는 유리하게 로컬 상호접속의 보호되지 않은 부분들의 후속하는 에칭을 위한 자체 정렬된 비회생 마스크의 역할을 할 수 있다. 한 유리한 실시예에서, 스핀-온 유전체는 LED 전극들 중 하나 위의, 그러나 다른 LED 전극의 위는 아닌 레벨로 평탄화하기 위해 이용될 수 있다. 도 10c에 도시된 예시적인 실시예에서, 유전체(1065)는 제2 도핑된 반도체 영역(708)의 측벽, 금속 LED 전극(740)의 측벽, 유전체 스페이서(735), 및 금속 전극(710)을 덮는 로컬 상호접속(1060) 위에 퇴적되지만, 평탄화 공정은 유전체(1065)를 금속 LED 전극(710) 및 유전체 스페이서(735)의 적어도 일부 아래까지 리세스시킨다.

[0058] 도 9를 참조하면, 방법(901)은 유전체 위에 노출된 로컬 상호접속 금속이 에칭되는 동작(985)으로 이어진다. 금속 에칭은 LED 전극들 중 하나와 커버측 상호접속 사이의 자체 정렬된 전기적 상호접속을 파손시키지 않고서 LED 전극들을 서로로부터 분리하기 위한 것이다. 금속 LED 전극(710)에 충분한 선택도를 제공하는 임의의 금속 에칭 공정이 동작(985)에서 이용될 수 있다. 한 예로서, 동작(985)은 로컬 상호접속 금속에 대해 선택적인 웨트 화학 에칭을 수반한다. 금속 에칭 이후에, 동작(987)에서 제2 유전체가 퇴적된다. 이 유전체는 로컬 상호접속 금속의 노출된 에지들(즉, 에칭 동작(985)이 종료될 때 금속 에칭 프론트인 곳)을 덮는다. 도 10d에 도시된 예시적인 실시예에서, 금속 에칭 동작(985)은 금속 LED 전극(710)으로부터, 및 유전체 스페이서(735)의 적어도 일부로부터 금속 로컬 상호접속(1060)을 제거하는 것을 수반한다. 유전체(1067)는 다음에 LED 요소들(730) 주위에(그리고 IC(1031) 주위에) 퇴적 및 평탄화되어, 금속 LED 전극(710)의 측벽 및/또는 금속 LED 전극(710)

의 측벽에 인접한 유전체 스페이서(735)의 부분을 둘러싼다. 한 유리한 실시예에서, 유전체(1067)는 유전체(1065)와 동일하거나 상이한 조성물로 될 수 있는 스핀-온 재료이다.

[0059] 도 9를 참조하면, 방법(901)은 상호접속이 최종 LED 전극에 전기적으로 결합되는 동작(990)으로 이어진다. 유리한 실시예들에서, 동작(990)은 스톱의 역할을 하는 동작(987)에서 도포된 제2 유전체에 의존하여 LED 전극에의 비랜드된 콘택트를 형성하여, 비랜드된 상호접속을 로컬 상호접속 금속 및/또는 다른 LED 전극과 전기적으로 분리시키는 것을 수반한다. 비랜드된 상호접속은 임의의 방식으로 수행될 수 있다. 한 예시적인 실시예에서, 유전체는 평탄화된 LED 요소들 위에 빌드 업되고 빌드-업 유전체를 통해 개구 에칭된다. 에칭은 하부의 유전체 및 LED 전극 금속 상에서 중지한다. 도 10e에 도시된 예시적인 실시예에서, 비랜드된 콘택트(1085)는 금속 LED 전극(710)을 금속 백플레인 상호접속(1090)에 전기적으로 결합시킨다. 비랜드된 콘택트(1085)는 유전체(1067) 위에 배치된 빌드-업 유전체(1080)를 통해 연장한다. 유전체(1067)는 LED 전극(710)을 측방향으로 오버행하지만, 유전체(1067)를 통해 연장되지 않고 로컬 상호접속(1060)과의 단락을 피하는 비랜드된 콘택트(1085)에 의해 증명된 바와 같이 비랜드된 콘택트(1085)에 대한 에칭 스톱으로서 기능한다. 원한다면, 상호접속(1090)의 레벨에서의 다른 상호접속들은 (도 10e에 도시하지 않은) 별도의 비아 제조 공정을 통해 상호접속들(1040/1060)을 접촉시킬 수 있다.

[0060] 도 9를 참조하면, 방법(901)은 유전체 및 상호접속 빌드 업이 임의의 디스플레이 백플레인 인터페이스들을 더 통합하고/하거나 디스플레이 백플레인 인터페이스와의 와이어본딩 또는 솔더 본딩을 통해 캐피시터들, 인덕터들, 또는 센서들과 같은 별도의 회로 요소들을 집적하기 위해, 예를 들어 ABF 또는 대안적 재료들로 연속하는 동작(993)으로 이어진다. 도 10f에 도시된 예시적인 실시예에서, 별개의 캐패시터(1095)는 빌드 업(1092)에서 상호접속에 솔더 본딩된다. 도 9를 참조하면, 방법(901)은 LED 빌드-업이 방법(901)에서 이용된 결합 기관의 특정한 유형에 적합한 임의의 공지된 기술을 사용하여 본딩 기관과 분리되는 동작(995)으로 이어진다. 예를 들어, 도 10g에 도시된 실시예에서, 레이저 디본딩/절단 공정이 도시된 결정질 LED 디스플레이 어셈블리(1050)에 도달하기 위해 릴리스 층(1014)(도 10f)에서 기관(1005)(예를 들어, 유리)을 디스플레이 커버(1075)와 분리시키기 위해 이용된다. 디스플레이 커버(1075) 및 다양한 유전체 빌드-업 재료들의 두께 및 기계적 특성들에 따라, 결정질 LED 디스플레이 어셈블리(1050)는 디스플레이 커버의 두께에 주로 의존하는 곡률 반경의 범위로 가능한 가요성일 수 있다. 도 10g에 도시한 바와 같이, LED 광은 투명한 도전성 전극들을 통하는 추가적인 광학 손실 없이 광학적으로 투명한 접착제를 통해 통과할 수 있다. 이것은 디스플레이의 전력 소비에 대해 이점이 있다. 방법(901)은 다음에 결정질 LED 디스플레이 어셈블리(1050)가 전자 디바이스(예를 들어, 이동 핸드셋) 내로 직접 설치될 준비가 된 상태로 실질적으로 완료된다.

[0061] 위에 설명된 바와 같이, LED 디스플레이 어셈블리(501) 또는 LED 디스플레이 어셈블리(1050)는 변화하는 물리적 스타일들 또는 폼 팩터들에서 실시된 전자 디바이스 내에 포함될 수 있다. 도 11은 실시예들에 따라 결정질 LED 디스플레이를 포함하는 이동 컴퓨팅 핸드셋 디바이스(1100)의 전면도 및 후면도를 도시한다. 실시예들에서, 예를 들어, 디바이스(1100)는 무선 능력들을 갖는 이동 컴퓨팅 디바이스로서 구현될 수 있다. 이동 컴퓨팅 디바이스는 예를 들어, 처리 시스템 및 하나 이상의 배터리와 같은, 이동 전원 또는 전력 공급을 갖는 임의의 디바이스를 참조할 수 있다. 이동 컴퓨팅 디바이스의 예들은 울트라-랩탑 컴퓨터, 태블릿, 터치패드, 휴대용 컴퓨터, 휴대형 컴퓨터, 손바닥 컴퓨터, 개인 휴대 단말기(PDA), 휴대 전화, 조합 휴대 전화/PDA, 텔레비전, 스마트 디바이스(예를 들어, 스마트폰, 태블릿 또는 스마트 텔레비전), 이동 인터넷 디바이스(MID), 메시징 디바이스, 데이터 통신 디바이스 등을 포함할 수 있다. 이동 컴퓨팅 디바이스의 예들은 또한 손목 컴퓨터, 손가락 컴퓨터, 반지 컴퓨터, 안경 컴퓨터, 벨트-클립 컴퓨터, 암밴드 컴퓨터, 신발 컴퓨터, 의복 컴퓨터들, 다른 웨어러블 컴퓨터들과 같은, 사람이 착용하도록 구성된 컴퓨터들 및/또는 미디어 캡처/전송 디바이스들을 포함할 수 있다. 다양한 실시예들에서, 예를 들어, 이동 컴퓨팅 디바이스는 음성 통신들 및/또는 데이터 통신들뿐만 아니라, 컴퓨터 애플리케이션들을 실행할 수 있는 스마트폰으로서 구현될 수 있다. 일부 실시예들이 예로서 스마트폰으로서 구현되는 이동 컴퓨팅 디바이스로 설명될 수 있지만, 다른 실시예들이 역시 다른 무선 이동 컴퓨팅 디바이스들을 사용하여 구현될 수 있다는 것을 알 수 있다. 실시예들은 이 맥락으로 제한되지 않는다.

[0062] 도 11에 도시한 바와 같이, 이동 핸드셋 디바이스(1100)는 전면(1101) 및 후면(1102)을 갖는 하우징을 포함할 수 있다. 디바이스(1100)는 예를 들어 위에 설명된 예시적인 실시예들에 따른, 결정질 LED 디스플레이 어셈블리(1104)를 포함한다. 디바이스(1100)는 입/출력(I/O) 디바이스(1106), 및 통합된 안테나(1108)를 더 포함한다. 디바이스(1100)는 또한 내비게이션 특징들(1112)을 포함할 수 있다. I/O 디바이스(1106)는 이동 컴퓨팅 디바이스 내로 정보를 입력하기 위한 임의의 적합한 I/O 디바이스를 포함할 수 있다. I/O 디바이스(110

6)의 예들은 알파뉴메릭 키보드, 뉴메릭 키패드, 터치 패드, 입력 키들, 버튼들, 스위치들, 마이크로폰들, 스피커들, 음성 인식 디바이스 및 소프트웨어 등을 포함할 수 있다. 정보는 또한 마이크로폰(도시 안됨)에 의해 디바이스(1100) 내로 입력될 수 있거나, 음성 인식 디바이스에 의해 디지털화될 수 있다. 실시예들은 이 맥락으로 제한되지 않는다. 적어도 후면(1102) 내에는 카메라(1105)(예를 들어, 렌즈, 조리개, 및 촬상 센서를 포함), 및 플래시(1110)가 포함되어 있고, 이 둘 다는 스트리밍 비디오가 결정질 LED 디스플레이 어셈블리(1104) 상에 디스플레이되는 CM의 소자들일 수 있다.

[0063] 본원에 기술된 소정의 특징들이 다양한 구현들을 참조하여 설명되었지만, 이 설명은 제한되는 의미로 해석되는 것으로 의도되지 않는다. 그러므로, 본 개시내용과 관련한 기술 분야의 통상의 기술자들에게 분명한 다른 구현들뿐만 아니라, 여기에 설명된 구현들의 다양한 수정들은 본 개시내용의 취지 및 범위 내에 있는 것으로 간주된다.

[0064] 본 발명의 범위는 설명된 실시예들로 제한되지 않고, 첨부된 청구범위의 범위에서 벗어나지 않고서 수정 및 변경하여 실시될 수 있다는 것을 인식할 것이다. 예를 들어 상기 실시예들은 아래에 더 제공된 특징들의 특정한 조합들을 포함할 수 있다.

[0065] 하나 이상의 제1 실시예에서, 결정질 LED 디스플레이는 복수의 백플레인 금속 상호접속을 포함하는 디스플레이 백플레인 인터페이스를 포함한다. 디스플레이는 복수의 LED 요소를 더 포함한다. 복수의 LED 요소 각각은 반도체 LED 막 스택, LED 막 스택의 제1 표면 상의 제1 금속 LED 전극, 및 제1 표면에 대향하는, 반도체 막 스택의 제2 표면 상의 제2 금속 LED 전극을 더 포함한다. 디스플레이는 복수의 도전성 폴리머 요소를 더 포함하고, 도전성 폴리머 요소들 각각은 제1 금속 LED 전극을 백플레인 금속 상호접속들 중 적어도 하나에 전기적으로 결합시킨다.

[0066] 제1 실시예에 더하여, 디스플레이 백플레인 인터페이스는 제2 금속 상호접속들의 어레이를 더 포함한다. 디스플레이는 복수의 광학적으로 투과성인 도전성 상호접속을 더 포함하고, 각각의 광학적으로 투과성인 상호접속은 LED 요소들 중 적어도 하나의 제2 금속 전극에 전기적으로 결합되고, 제2 금속 상호접속들 중 적어도 하나에 전기적으로 결합된다.

[0067] 바로 위의 실시예에 더하여, 도전성 폴리머는 1 μ m-1cm 미만의 비저항을 갖는다. 복수의 LED 요소 각각은 5 μ m 이하의 길이를 갖는다. 디스플레이는 디스플레이 백플레인 인터페이스에 대향하는, 복수의 LED 요소 위에 배치된 광학적으로 투과성인 커버를 더 포함한다.

[0068] 제1 실시예에 더하여, 각각의 LED 요소는 LED 막 스택의 모든 반도체 층들, 제1 금속 LED 전극의 모든 층들 위에 유전체 층 스페이서를 더 포함하고, 빌드-업 재료가 유전체 층 스페이서를 둘러싼다.

[0069] 하나 이상의 제2 실시예에서, 결정질 LED 디스플레이는 복수의 백플레인 금속 상호접속을 포함하는 디스플레이 백플레인 인터페이스를 포함한다. 디스플레이는 복수의 LED 요소를 더 포함한다. 복수의 LED 요소 각각은 반도체 LED 막 스택, LED 막 스택의 제1 표면 상의 제1 금속 LED 전극, 및 제1 표면에 대향하는, 반도체 막 스택의 제2 표면 상의 제2 금속 LED 전극, 및 LED 막 스택의 반도체 층들 위, 제1 금속 LED 전극의 금속 층들, 및 제2 금속 LED 전극의 금속 층들 위의 유전체 층 스페이서를 더 포함한다. 디스플레이는 유전체 층 스페이서를 둘러싸는 빌드-업 재료를 더 포함한다.

[0070] 바로 위의 실시예에 더하여, 각각의 LED 요소는 도전성 폴리머 및 광학적으로 투과성인 도전성 상호접속을 통해 병렬로 전기적으로 제1 및 제2 금속 상호접속들에 결합된 복수의 LED를 더 포함한다. LED 요소 내의 각각의 LED는 제1 금속 LED 전극과 직접 접촉하는 LED 막 스택의 필러를 포함하고 층 스페이서 유전체에 의해 요소 내의 다른 LED들과 측방향으로 이격된다.

[0071] 하나 이상의 제3 실시예에서, 결정질 LED 디스플레이 어셈블리 방법은 기판 위에 배열된 복수의 제1 금속 상호접속을 포함하는 본딩 기판을 수용하는 것을 포함한다. 방법은 제1 금속 상호접속들과 직접 접촉하여 도전성 폴리머를 도포하는 것을 포함한다. 방법은 복수의 LED 요소를 도전성 폴리머에 부착하는 것을 포함하고, 각각의 LED 요소의 제1 금속 LED 전극은 도전성 폴리머와 전기적으로 접촉한다. 방법은 도전성 폴리머를 복수의 별개의 도전성 폴리머 요소 내로 패터닝하는 것을 포함하고, 각각의 폴리머 요소는 적어도 하나의 LED 요소 및 제1 금속 상호접속들 중 적어도 하나와 접촉한다. 방법은 각각의 LED 요소의 제2 금속 전극과 전기적으로 접촉하는 도전성 상호접속으로 본딩 기판을 빌드 업하는 것을 포함한다. 방법은 커버를 빌드-업에 부착하는 것을 포함하고, 커버는 LED 요소들의 방출 대역 내에서 광학적으로 투과성이다. 방법은 복수의 LED 요소를 보유하는 빌드-업으로 본딩 기판을 빌드 업과 분리하는 것을 포함한다.

- [0072] 바로 위의 실시예에 더하여, 도전성 폴리머를 복수의 별개의 도전성 폴리머 요소 내로 패터닝하는 것은 본딩 기관 위에 감광성 도전성 막을 퇴적하고, 감광성 도전성 막을 제1 금속 상호접속들과 정렬하여 도전성 폴리머 요소들 내로 광학적으로 묘사하는 것을 더 포함한다.
- [0073] 제3 실시예에 더하여, 도전성 폴리머를 복수의 별개의 도전성 폴리머 요소 내로 패터닝하는 것은 복수의 LED 요소를 도전성 폴리머에 부착하기 전에 수행된다.
- [0074] 제3 실시예에 더하여, 복수의 LED 요소 각각은 반도체 LED 막 스택을 더 포함하고, 제1 금속 LED 전극은 LED 막 스택의 제1 측 상에 있고, 제2 금속 LED 전극은 제1 측에 대향하는, LED 막 스택의 제2 측 상에 있고, 디스플레이 백플레인 인터페이스는 기관 위에 배열된 복수의 제2 금속 상호접속을 더 포함한다.
- [0075] 바로 위의 실시예에 더하여, LED 요소들을 복수의 도전성 폴리머 요소 각각에 부착하는 것은 도전성 폴리머의 제1 금속 LED 전극의 실온 압축 본딩을 더 포함한다.
- [0076] 제3 실시예에 더하여, LED 요소들을 복수의 도전성 폴리머 요소 각각에 부착하는 것은 트랜스퍼 프린트 헤드로 소스 기관으로부터 복수의 LED 요소를 픽업하고 - 각각의 LED 요소의 제2 금속 전극은 프린트 헤드로 향함 -, 각각의 LED 요소의 제1 금속 전극을 도전성 폴리머에 접촉시키고, 프린트 헤드를 복수의 LED 요소와 분리하는 것을 더 포함한다.
- [0077] 바로 위의 실시예에 더하여, 소스 기관은 앵커들이 복수의 LED 요소 중 인접하는 것들 사이에 배치된 캐리어에 부착된 복수의 LED 요소를 더 포함한다. 소스 기관은 반도체 측벽들, 각각의 LED 요소의 제1 금속 전극의 측벽들, 및 제2 금속 전극의 측벽들 위에 배치된 유전체 측벽 스페이서를 더 포함하고, 유전체 코팅은 앵커들과 LED 요소 사이에 배치된다. 소스 기관은 제1 금속 전극과 캐리어 사이에 배치된 자유 공간 공극을 더 포함하고, 공극은 앵커들 각각을 둘러싼다.
- [0078] 하나 이상의 제4 실시예에서, 결정질 LED 본딩 소스 기관은 캐리어, 및 캐리어 위에 배치된 복수의 LED 요소를 포함한다. 각각의 LED 요소는 제1 금속 LED 전극과 제2 금속 LED 전극 사이에 배치된 적어도 제1 및 제2 도핑된 반도체 영역들을 포함하는 반도체 LED 막 스택을 더 포함하고, 제1 금속 LED 전극은 캐리어로 향하고 자유 공간 공극에 의해 캐리어와 이격된다. 각각의 LED 요소는 LED 막 스택의 측벽들, 제1 금속 LED 전극, 및 제2 금속 LED 전극 위에 배치된 측벽 유전체 코팅을 더 포함한다. LED 본딩 소스 기관은 각각의 LED 요소를 인접한 LED 요소들과 분리시키는 트렌치들 내에 배치된 복수의 앵커를 더 포함하고, 앵커들 각각은 캐리어 상에 랜드하고 자유 공간 공극에 의해 둘러싸인다.
- [0079] 제4 실시예에 더하여, 자유 공간 공극은 LED 요소의 전체 영역에 걸쳐 연장한다. 복수의 앵커 각각은 적어도 2개의 인접한 LED 요소의 측벽 유전체와 접촉하는 폴리머 필러를 포함한다.
- [0080] 제4 실시예에 더하여, 측벽 유전체의 표면은 제1 금속 전극의 노출된 표면과 평탄하고, 복수의 앵커 각각은 적어도 2개의 인접한 LED 요소의 측벽 유전체와 접촉한다.
- [0081] 바로 위의 실시예에 더하여, 제1 금속 전극에 의해 점유된 풋프린트는 LED 반도체 막 스택 및 제2 전극의 풋프린트와 일치한다.
- [0082] 제4 실시예에 더하여, 각각의 LED 요소는 제1 금속 전극과 접촉하는 복수의 LED를 더 포함하고, 각각의 LED는 LED 반도체 막 스택의 필러를 포함하고, 제2 금속 전극 및 LED 반도체 막 스택을 통해 연장되고 제1 금속 전극 상에 랜드하는 요소내 트렌치에 의해 인접한 LED들에 의해 분리되고, 유전체 측벽 코팅은 요소내 트렌치를 백필한다.
- [0083] 제4 실시예에 더하여, LED 반도체 막 스택은 III-N 반도체를 포함하고, 캐리어는 결정질 실리콘 기관을 포함하고, LED 요소들 각각은 5 μ m 이하의 측방향 길이를 갖는다.
- [0084] 하나 이상의 제5 실시예에서, 결정질 LED 본딩 소스 기관을 제조하는 방법은 에피택셜 기관을 덮는 반도체 LED 막 스택 위에 제1 금속 전극 막을 퇴적하는 것을 포함한다. 방법은 LED 막 및 전극 스택을 캐리어에 트랜스퍼하는 것을 포함하고, 제1 금속 전극 막은 캐리어로 향한다. 방법은 LED 막 스택 위에 제2 금속 전극 막을 퇴적하는 것을 포함한다. 방법은 LED 막 스택, 제1 금속 전극 막, 및 제2 금속 전극 막 내로 트렌치들을 에칭함으로써 복수의 LED 요소를 형성하는 것을 더 포함하고, 각각의 LED 요소는 트렌치 에칭에 의해 정해진 측벽들을 갖는다. 방법은 LED 요소 측벽들 위에 유전체 스페이서를 형성하는 것을 더 포함한다. 방법은 트렌치들 내에 LED 요소 앵커들을 형성하는 것을 더 포함하고, 앵커들은 LED 요소 측벽들의 부분들을 가로지른다. 방법은 LED 요소와 캐리어 사이의 릴리스 층을 측방향으로 에칭함으로써 앵커들을 제외하고 캐리어로부터 LED 요소들을 릴

리스하는 것을 더 포함한다.

- [0085] 제5 실시예에 더하여, 트렌치들을 에칭함으로써 복수의 LED 요소를 형성하는 것은 제2 금속 전극 막, LED 막 스택, 및 제1 금속 전극 막을 통해 마스크된 에칭을 수행하는 것을 더 포함한다. 트렌치들 내에 LED 요소 앵커들을 형성하는 것은 유전체 스페이서에 의해 마스크되지 않은 트렌치의 하부에서 릴리스 층을 리세스하고, 트렌치들 내에 앵커 재료를 퇴적하여, 적어도 리세스된 릴리스 층 및 유전체 스페이서에 의해 정해진 트렌치의 부분을 채우는 것을 더 포함한다.
- [0086] 제5 실시예에 더하여, 트렌치들 내로 앵커 재료를 퇴적하는 것은 LED 요소들 위에 포토레지스트를 도포하는 것을 더 포함한다. LED 요소 앵커들을 형성하는 것은 앵커들 내로 포토레지스트를 리소그래픽 패턴링하는 것을 더 포함한다.
- [0087] 제5 실시예에 더하여, 방법은 제2 금속 전극 막 위에 보호 유전체 재료 층을 퇴적하고, LED 요소들을 캐리어로부터 릴리스한 후에 보호 유전체 재료 층을 제거하는 것을 더 포함한다.
- [0088] 제5 실시예에 더하여, 방법은 제2 금속 전극 막 및 LED 반도체 막 스택을 통해 에칭된 하나 이상의 요소내 트렌치로 각각의 LED 요소를 복수의 LED로 분리하는 것을 더 포함하고, 요소내 트렌치는 제1 금속 전극 막 상에서 중지한다. LED 요소 측벽들 위에 유전체 스페이서를 형성하는 것은 요소내 트렌치들을 백필한다.
- [0089] 하나 이상의 제6 실시예에서, 결정질 LED 디스플레이는 광학적으로 투과성인 커버를 포함한다. LED 디스플레이는 커버에 대항하는 표면 위에 배열된 복수의 금속 백플레인 상호접속을 갖는 디스플레이 백플레인 인터페이스를 더 포함한다. LED 디스플레이는 디스플레이 백플레인 인터페이스와 커버 사이에 배치된 복수의 LED 요소를 더 포함한다. 복수의 LED 요소 각각은 에피택셜 반도체 LED 막 스택을 더 포함한다. 복수의 LED 요소 각각은 백플레인 상호접속들 중 하나 및 LED 막 스택의 제1 도핑된 반도체 영역과 전기적으로 접촉하는 제1 금속 LED 전극을 더 포함한다. 복수의 LED 요소 각각은 LED 막 스택의 제2 도핑된 반도체 영역과 접촉하는 제2 금속 LED 전극을 더 포함하고, 제2 금속 LED 전극은 LED 요소와 인접한 측벽을 형성하고 개재 유전체 스페이서에 의해 제1 금속 LED 전극과 이격된다. 디스플레이는 인접한 LED 요소들 사이에 각각 배치된 복수의 금속 커버측 상호접속을 더 포함한다. 디스플레이는 각각이 각각의 LED 요소의 제2 금속 전극에 전기적으로 결합되고, 커버측 상호접속들 중 적어도 하나에 전기적으로 결합된, 복수의 금속 로컬 상호접속을 더 포함한다.
- [0090] 제6 실시예에 더하여, 디스플레이는 제1 금속 LED 전극과 커버 사이에 배치된 광학적으로 투과성인 접촉제 요소를 더 포함한다.
- [0091] 제6 실시예에 더하여, 백플레인 상호접속들 각각은 제1 금속 LED 전극에의 비랜드된 콘택트를 포함하고, 비랜드된 콘택트는 제1 금속 LED 전극을 오버행하고 개재 유전체 층에 의해 제2 금속 LED 전극과 분리된다.
- [0092] 제6 실시예에 더하여, 로컬 상호접속은 제2 도핑된 반도체 영역의 측벽 및 제2 금속 LED 전극의 측벽과 접촉한다.
- [0093] 제6 실시예에 더하여, 디스플레이는 LED 요소들과 커버 사이에 배치된 하나 이상의 터치 센서 층을 더 포함한다. 광학적으로 투과성인 접촉제 요소는 제1 금속 LED 전극과 터치 센서 층 사이에 배치된다. 커버측 상호접속들은 터치 센서 층 상에 배치된다. 로컬 상호접속은 터치 센서 층에 걸쳐 연장한다.
- [0094] 제6 실시예에 더하여, 디스플레이는 광학적으로 투과성인 접촉제 요소가 그 사이에 배치된 터치 센서 층 위에 배치된 IC 칩 또는 센서 중 적어도 하나를 더 포함한다.
- [0095] 하나 이상의 제7 실시예에서, 결정질 LED 디스플레이 어셈블리 방법은 LED 본딩 기판을 수용하는 것을 포함한다. 방법은 복수의 LED 요소를 광학적으로 투과성인 접촉제로 본딩 기판에 부착하는 것을 포함한다. LED 요소들 각각은 에피택셜 반도체 LED 막 스택, LED 막 스택의 제1 도핑된 반도체 영역과 전기적으로 접촉한 제1 금속 LED 전극, 및 LED 막 스택의 제2 도핑된 반도체 영역과 접촉한 제2 금속 LED 전극을 더 포함하고, 제2 금속 LED 전극은 LED 요소 주위에 주변을 형성하고 개재 유전체 스페이서에 의해 제1 금속 LED 전극과 이격된다. 방법은 제1 및 제2 금속 LED 전극들 위에 금속 막을 퇴적하는 것을 더 포함한다. 방법은 LED 요소들 주위의 제1 유전체를 평탄화함으로써 제2 금속 전극 및 커버측 상호접속들과 접촉하는 금속 막의 부분을 보호하는 것을 더 포함한다. 방법은 평탄화된 유전체 위에 노출된 금속 막의 보호되지 않은 부분을 에칭함으로써 제1 금속 LED 전극들로부터 금속 막을 리세스하는 것을 더 포함한다. 방법은 LED 요소들 주위의 제2 유전체를 평탄화함으로써 리세스된 금속 막을 마스크하는 것을 더 포함한다. 방법은 제1 금속 LED 전극과 접촉하는 금속 백플레인 상호접속으로 평탄화된 LED 요소들 위에 유전체를 빌드 업하는 것을 더 포함한다. 방법은 LED 빌드-

업으로부터 본딩 기판을 제거하는 것을 더 포함한다.

- [0096] 제7 실시예에 더하여, 본딩 기판은 금속 커버층 상호접속들의 어레이를 포함하고 각각의 LED 요소는 커버층 상호접속들 중 하나에 인접한다. 제1 및 제2 금속 LED 전극들 위에 금속 막을 퇴적하는 것은 LED 막 스택의 제2 도핑된 반도체 영역의 측벽 상에, 제2 금속 LED 전극의 측벽 상에, 유전체 스페이서 위에, 커버층 상호접속들 중 적어도 하나 상에, 및 제1 금속 LED 전극 상에 금속 막을 퇴적하는 것을 더 포함한다.
- [0097] 바로 위의 실시예에 더하여, 제2 금속 전극 및 커버층 상호접속들과 접촉하는 금속 막의 부분을 보호하는 것은 LED 막 스택의 제2 도핑된 반도체 영역의 측벽, 제2 금속 LED 전극의 측벽, 유전체 스페이서, 및 제1 금속 LED 전극 위에 제1 유전체를 퇴적하는 것을 더 포함한다. 제2 금속 전극 및 커버층 상호접속들과 접촉하는 금속 막의 부분을 보호하는 것은 제1 금속 LED 전극, 및 유전체 스페이서의 적어도 일부 아래의 제1 유전체를 리세스하는 것을 더 포함한다.
- [0098] 바로 위의 실시예에 더하여, 금속 막의 보호되지 않은 부분을 에칭하는 것은 금속 막을 제1 금속 LED 전극으로부터 및 유전체 스페이서의 적어도 일부로부터 제거하는 것을 더 포함한다. LED 요소들 주위의 제2 유전체를 평탄화하는 것은 금속 막의 에칭되지 않은 부분 위에 및 유전체 스페이서의 노출된 부분 중 적어도 일부 위에 제2 유전체를 퇴적하는 것을 더 포함한다.
- [0099] 제7 실시예에 더하여, LED 요소들 주위의 제2 유전체를 평탄화하는 것은 제1 금속 LED 전극의 측벽을 둘러싸는 것을 더 포함한다. 제1 금속 LED 전극과 접촉하는 금속 백플레인 상호접속으로 평탄화된 LED 요소들 위에 유전체를 빌드업하는 것은 제2 유전체 위에 및 제1 금속 LED 전극 위에 빌드업 유전체를 퇴적하고, 빌드업 유전체를 통해 개구를 에칭하고 - 에칭은 제2 유전체 상에서 및 제1 금속 LED 전극 상에 중지함 -, 개구에 의해 노출된 제1 금속 LED 전극을 백플레인 상호접속과 결합시키는 것을 더 포함한다.
- [0100] 바로 위의 실시예에 더하여, 방법은 광학적으로 투과성인 접촉제로, 하나 이상의 IC 또는 센서를 LED 요소들에 인접한 본딩 기판에 부착하는 것을 더 포함한다. 방법은 금속 막을 리소그래픽 마스크 및 금속 에칭에 의해 하나 이상의 IC 또는 센서로부터 제거하는 것을 더 포함한다. 방법에서 빌드업 유전체를 통해 개구를 에칭하는 것은 하나 이상의 IC 또는 센서를 노출하는 빌드업 유전체를 통해 제2 개구를 에칭하는 것을 더 포함한다. 방법은 제2 개구에 의해 노출된 하나 이상의 IC 또는 센서를 백플레인 상호접속과 결합시키는 것을 포함한다.
- [0101] 제7 실시예에 더하여, 방법은 복수의 LED 요소를 캐리어에 제거가능하게 앵커된 복수의 LED 요소를 포함하는 결정질 LED 본딩 소스 기판으로부터 제거하는 것을 더 포함한다.
- [0102] 바로 위의 실시예에 더하여, 방법은 결정질 LED 본딩 소스 기판을 제조하는 것을 더 포함하고, 제조하는 것은 LED 막 스택의 제1 도핑된 반도체 영역과 접촉하여 제1 금속 LED 전극들을 형성하고, LED 반도체 막 스택 내로 트렌치들을 에칭함으로써 복수의 LED 요소를 형성하고 - 에칭은 제2 도핑된 반도체 영역 상에서 중지함 -, 제1 금속 LED 전극들 및 제1 도핑된 반도체 영역의 측벽 주위에 유전체 스페이서를 형성하고, LED 막 스택의 제2 도핑된 반도체 영역과 접촉하여 제2 금속 LED 전극 막을 퇴적하고, 제2 금속 LED 전극 막의 마스크되지 않은 에칭을 수행함으로써 제2 금속 LED 전극을 유전체 스페이서와 자체 정렬하고, 제2 도핑된 반도체 영역과 캐리어 사이의 릴리스 층을 측방향으로 에칭함으로써 캐리어로부터 LED 요소들을 릴리스하는 것을 포함한다.
- [0103] 하나 이상의 제8 실시예에서, 결정질 LED 본딩 소스 기판은 캐리어, 및 캐리어 위에 배치된 복수의 LED 요소를 포함한다. 각각의 LED 요소는 적어도 제1 및 제2 도핑된 반도체 영역들을 포함하는 에피택셜 반도체 LED 막 스택, 제1 도핑된 반도체 영역과 접촉하는 제1 금속 LED 전극, 제1 금속 LED 전극 및 제1 도핑된 반도체 영역의 측벽 주위의 유전체 측벽 스페이서, 및 유전체 스페이서에 인접하고 제2 도핑된 반도체 영역과 전기적으로 접촉하는 금속 스페이서를 더 포함하는 제2 금속 LED 전극을 더 포함한다. LED 본딩 소스 기판은 각각의 LED 요소를 인접한 LED 요소들과 분리시키는 트렌치들 내에 배치된 복수의 앵커를 더 포함하고, 앵커들 각각은 캐리어 상에 랜드하고 캐리어와 LED 요소들 사이의 자유 공간 공극에 의해 둘러싸인다.
- [0104] 제8 실시예에 더하여, 자유 공간 공극은 LED 요소의 전체 영역에 걸쳐 연장되고, 복수의 앵커 각각은 적어도 2개의 인접한 LED 요소의 유전체 측벽 스페이서 또는 금속 측벽 스페이서와 접촉하는 폴리머 필러를 포함한다.
- [0105] 제8 실시예에 더하여, 유전체 측벽 스페이서는 제1 금속 전극의 노출된 표면과 평탄하다. 제2 금속 전극은 제1 금속 전극의 노출된 표면 아래로 리세스된다. 복수의 앵커 각각은 적어도 2개의 인접한 LED 요소의 제2 금속 전극과 접촉한다.
- [0106] 제8 실시예에 더하여, 유전체 측벽 스페이서는 제1 금속 LED 전극의 주변을 둘러싼다. 제2 금속 전극은 유전체

측벽 스페이스의 주변을 둘러싼다.

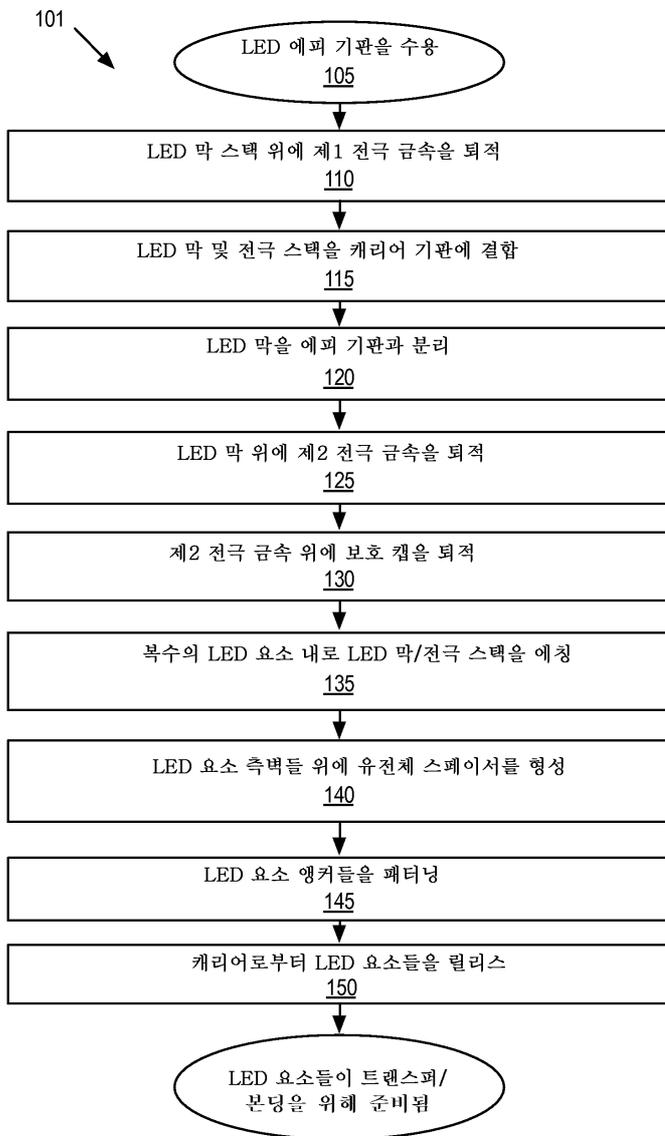
- [0107] 바로 위의 실시예에 더하여, 각각의 LED 요소는 제1 도핑된 반도체 영역과 접촉하는 복수의 LED를 더 포함하고, 각각의 LED는 LED 반도체 막 스택의 필러를 포함하고 제1 금속 전극 및 제1 도핑된 반도체 영역을 통해 연장되고, 제2 도핑된 반도체 영역 상에 랜드하는 요소내 트렌치에 의해 인접한 LED들과 분리된다. 유전체 측벽 스페이스는 요소내 트렌치의 2개의 대향하는 측벽 상에 배치된다. 금속 측벽 스페이스는 유전체 측벽 스페이스에 인접한 요소내 트렌치 내의 제2 도핑된 반도체 영역의 부분 상에 배치된다.
- [0108] 제8 실시예에 더하여, LED 반도체 막 스택은 III-N 반도체를 포함하고, 캐리어는 결정질 실리콘 기판을 포함하고, LED 요소들 각각은 $5\mu\text{m}$ 이하의 측방향 길이를 갖는다.
- [0109] 하나 이상의 제9 실시예에서, 결정질 LED 본딩 소스 기판을 제조하는 방법은 캐리어를 덮는 연속하는 에피택셜 반도체 LED 막 스택 위에 제1 금속 전극 막을 퇴적하는 것을 포함하고, LED 막 스택은 적어도 제1 및 제2 상보형 도핑된 반도체 영역을 포함한다. 방법은 제1 금속 전극 막을 복수의 제1 금속 LED 전극 내로 패터닝하는 것을 더 포함한다. 방법은 LED 반도체 막 스택 내로 트렌치들을 에칭함으로써 복수의 LED 요소를 형성하는 것을 더 포함하고, 에칭은 제2 도핑된 반도체 영역 상에서 중지한다. 방법은 제1 금속 LED 전극들 및 제1 도핑된 반도체 영역의 측벽 주위에 유전체 측벽 스페이스를 형성하는 것을 더 포함한다. 방법은 유전체 측벽 스페이스 위에 그리고 LED 막 스택의 제2 도핑된 반도체 영역과 접촉하여 제2 금속 LED 전극 막을 퇴적하는 것을 더 포함한다. 방법은 유전체 측벽 스페이스에 인접한 금속 측벽 스페이스를 형성하는 제2 금속 LED 전극 막의 마스크되지 않는 에칭을 수행함으로써 제2 금속 LED 전극을 유전체 측벽 스페이스와 자체 정렬하는 것을 더 포함한다. 방법은 트렌치들 내에 LED 요소 앵커들을 형성하는 것을 더 포함하고, 앵커들은 인접한 LED 요소들을 가로지른다. 방법은 LED 막 스택의 제2 도핑된 반도체 영역을 통해 에칭하고 제2 도핑된 반도체 영역과 캐리어 사이의 릴리스 층을 측방향으로 에칭함으로써 앵커들을 제외하고 캐리어로부터 LED 요소들을 릴리스하는 것을 더 포함한다.
- [0110] 제9 실시예에 더하여, 방법에서 제2 금속 LED 전극 막의 마스크되지 않은 이방성 에칭을 수행하는 것은 제1 금속 LED 전극 아래의 제2 금속 LED 전극을 리세스한다.
- [0111] 제9 실시예에 더하여, 방법은 기판을 덮는 연속하는 에피택셜 반도체 LED 막 스택을 포함하는 모놀리식 LED 에피택셜 기판을 수용하고, 릴리스 층이 캐리어와 LED 막 스택 사이에 배치된 캐리어로 LED 반도체 막 스택을 트랜스퍼하는 것을 더 포함한다.
- [0112] 제9 실시예에 더하여, 트렌치들 내에 LED 요소 앵커들을 형성하는 것은 제2 금속 LED 전극에 의해 마스크되지 않은 트렌치의 하부에서 릴리스 층을 리세스하고, 트렌치들 내에 앵커 재료를 퇴적하여, 적어도 리세스된 릴리스 층 및 제2 금속 LED 전극에 의해 정해진 트렌치의 부분을 채우는 것을 더 포함한다.
- [0113] 바로 위의 실시예에 더하여, 트렌치들 내로 앵커 재료를 퇴적하는 것은 LED 요소들 위에 포토레지스트를 도포하는 것을 더 포함하고, LED 요소 앵커들을 형성하는 것은 앵커들 내로 포토레지스트를 리소그래픽 패터닝하는 것을 더 포함한다.
- [0114] 제9 실시예에 더하여, 방법은 제1 금속 전극 막 및 LED 막 스택의 적어도 제1 도핑된 반도체 영역을 통해 에칭된 하나 이상의 요소내 트렌치로 각각의 LED 요소를 복수의 LED로 분리하는 것을 더 포함하고, 요소내 트렌치는 LED 막 스택의 제2 도핑된 영역 상에서 중지한다. 방법에서 LED 요소 측벽들 위에 유전체 측벽 스페이스를 형성하는 것은 유전체 측벽 스페이스의 인접한 부분들 사이의 LED 막 스택의 제2 도핑된 영역의 부분을 노출시킨다. 방법에서 제2 금속 LED 전극을 유전체 측벽 스페이스와 자체 정렬하는 것은 제2 도핑된 영역의 노출된 부분을 제2 금속 LED 전극으로 백필한다.
- [0115] 하나 이상의 제10 실시예에서, LED 요소는 적어도 제1 및 제2 도핑된 반도체 영역들을 포함하는 에피택셜 반도체 LED 막 스택을 포함한다. LED 요소는 제1 도핑된 반도체 영역과 접촉하는 제1 금속 LED 전극을 더 포함한다. LED 요소는 제1 금속 LED 전극 및 제1 도핑된 반도체 영역의 측벽 주위에 유전체 측벽 스페이스를 더 포함한다. LED 요소는 유전체 측벽 스페이스에 인접하고, 제2 도핑된 반도체 영역과 전기적으로 접촉하는 금속 측벽 스페이스를 더 포함하는 제2 금속 LED 전극을 더 포함한다.
- [0116] 제10 실시예에 더하여, 제1 금속 LED 전극은 적어도 $1\mu\text{m}^2$ 의 풋프린트를 갖는다. 유전체 측벽 스페이스는 $0.1\mu\text{m}$ 미만의 측방향 폭을 갖는다. 금속 측벽 스페이스는 $0.1\mu\text{m}$ 미만의 측방향 폭을 갖는다.
- [0117] 제10 실시예에 더하여, 유전체 측벽 스페이스는 제1 금속 전극의 노출된 표면과 평탄하다. 제2 금속 전극은 제

1 금속 전극의 노출된 표면 아래로 리세스된다.

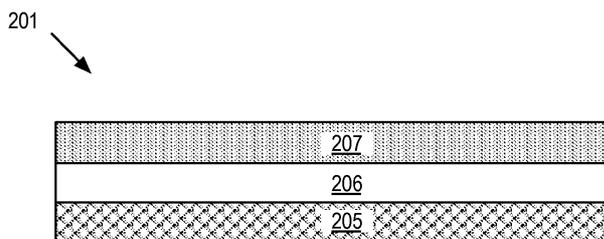
- [0118] 제10 실시예에 더하여, 유전체 측벽 스페이서는 제1 금속 LED 전극의 주변을 둘러싸고, 금속 측벽 스페이서는 유전체 스페이서의 주변을 둘러싼다.
- [0119] 제10 실시예에 더하여, LED 요소는 제1 도핑된 반도체 영역과 접촉하는 복수의 LED를 더 포함한다. 각각의 LED는 LED 반도체 막 스택의 필러를 포함하고 제1 도핑된 반도체 영역을 통해 연장되고, 제2 도핑된 반도체 영역 상에 랜드하는 요소내 트렌치에 의해 인접한 LED들과 분리된다. 유전체 측벽 스페이서는 요소내 트렌치의 2개의 대향하는 측벽 상에 배치된다. 금속 측벽 스페이서는 유전체 측벽 스페이서에 인접한 요소내 트렌치 내의 제2 도핑된 반도체 영역의 부분 상에 배치된다.
- [0120] 바로 위의 실시예에 더하여, 금속 측벽 스페이서는 유전체 측벽 스페이서의 인접한 영역들 사이의 공간을 백필한다.
- [0121] 하나 이상의 제11 실시예에서, 결정질 LED를 제조하는 방법은 기판 위에 배치된 연속하는 에피택셜 반도체 LED 막 스택 위에 제1 금속 전극 막을 퇴적하는 것을 포함하고, LED 막 스택은 적어도 제1 및 제2 상보형 도핑된 반도체 영역들을 포함한다. 방법은 제1 금속 전극 막을 복수의 제1 금속 LED 전극 내로 패터닝하는 것을 더 포함한다. 방법은 LED 반도체 막 스택 내로 트렌치들을 에칭함으로써 복수의 LED 요소를 형성하는 것을 더 포함하고, 에칭은 제2 도핑된 반도체 영역 상에서 중지한다. 방법은 제1 금속 LED 전극들 및 제1 도핑된 반도체 영역의 측벽 주위에 유전체 측벽 스페이서를 형성하는 것을 더 포함한다. 방법은 유전체 측벽 스페이서 위에 그리고 LED 막 스택의 제2 도핑된 반도체 영역과 접촉하여 제2 금속 LED 전극 막을 퇴적하는 것을 더 포함한다. 방법은 유전체 측벽 스페이서에 인접한 금속 측벽 스페이서를 형성하는 제2 금속 LED 전극 막의 마스크되지 않은 에칭을 수행함으로써 제2 금속 LED 전극을 유전체 측벽 스페이서와 자체 정렬하는 것을 더 포함한다.
- [0122] 바로 위의 실시예에 더하여, 제2 금속 LED 전극 막의 마스크되지 않은 이방성 에칭을 수행하는 것은 제1 금속 LED 전극 아래의 제2 금속 LED 전극을 리세스한다.
- [0123] 제11 실시예에 더하여, 방법은 제1 금속 전극 막 및 LED 막 스택의 적어도 제1 도핑된 반도체 영역을 통해 에칭된 하나 이상의 요소내 트렌치로 각각의 LED 요소를 복수의 LED로 분리하는 것을 더 포함하고, 요소내 트렌치는 LED 막 스택의 제2 도핑된 영역 상에서 중지한다. LED 요소 측벽들 위에 유전체 측벽 스페이서를 형성하는 것은 유전체 측벽 스페이서의 인접한 부분들 사이의 LED 막 스택의 제2 도핑된 영역의 부분을 노출시킨다. 제2 금속 LED 전극을 유전체 측벽 스페이서와 자체 정렬하는 것은 제2 도핑된 영역의 노출된 부분을 제2 금속 LED 전극으로 백필한다.
- [0124] 그러나, 실시예들은 상기 예들로 제한되지 않고, 다양한 구현들에서 상기 실시예들은 그러한 특징들의 서브셋만을 피하는 것, 그러한 특징들의 상이한 순서를 피하는 것, 그러한 특징들의 상이한 조합을 피하는 것, 및/또는 명시적으로 리스트된 그들 특징 이외의 추가적인 특징들을 피하는 것을 포함할 수 있다. 그러므로 본 발명의 범위는 첨부된 청구범위와 함께, 그러한 청구범위에 준하는 등가물들의 완전한 범위를 참조하여 결정되어야 한다.

도면

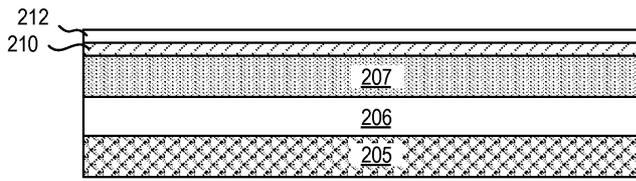
도면1



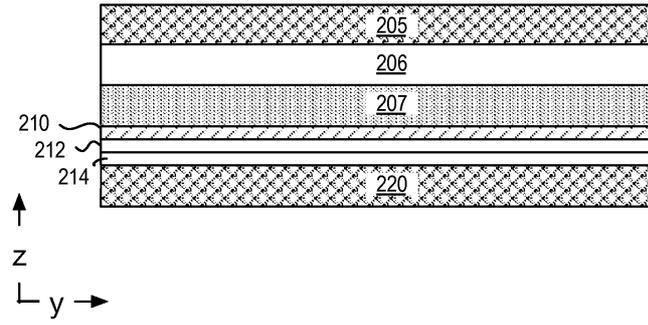
도면2a



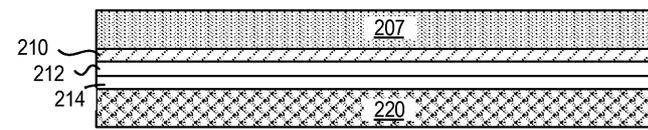
도면2b



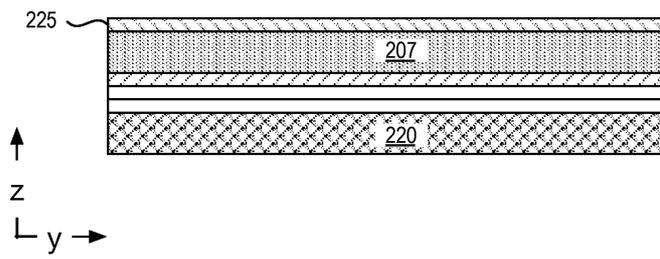
도면2c



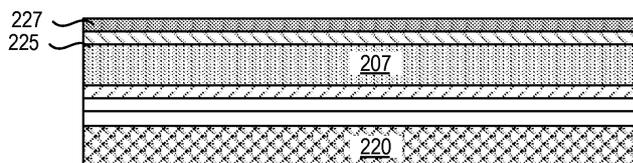
도면2d



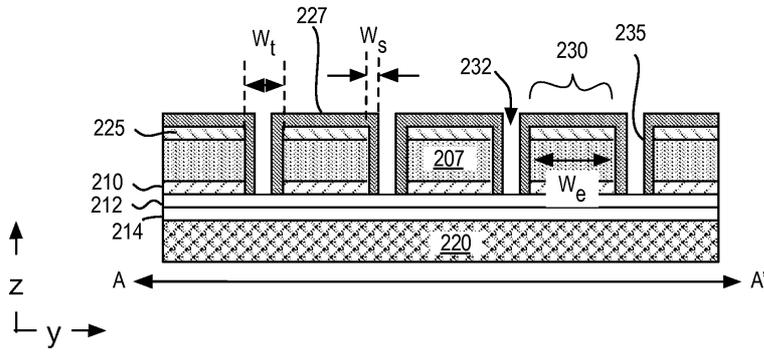
도면2e



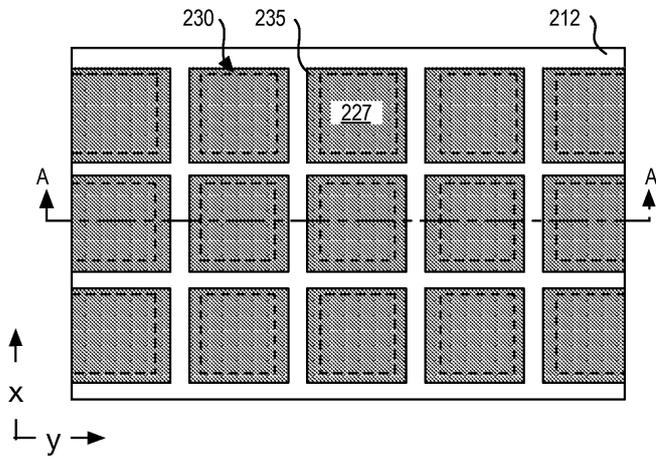
도면2f



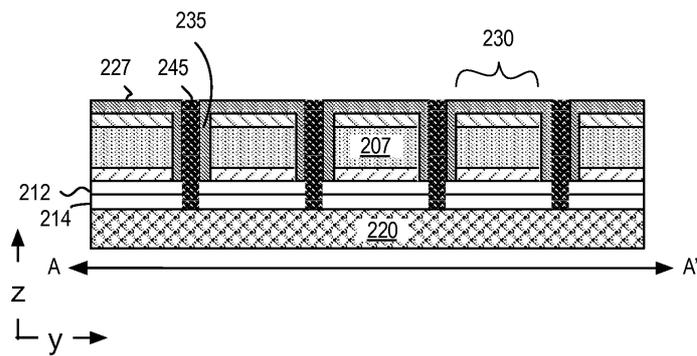
도면2g



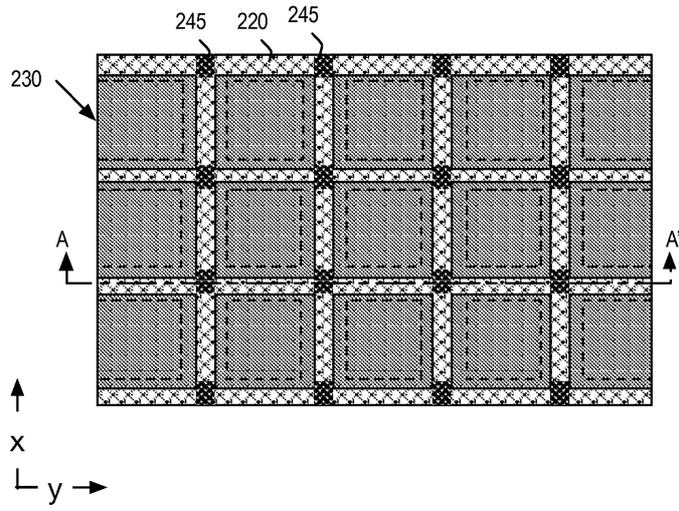
도면2h



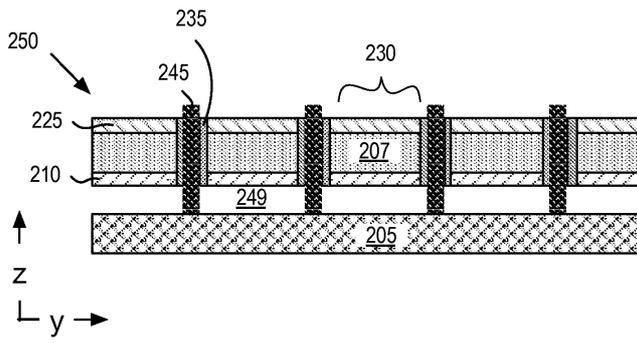
도면2i



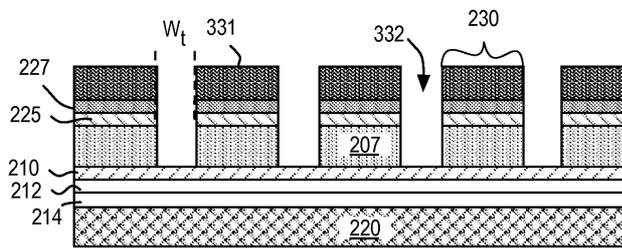
도면2j



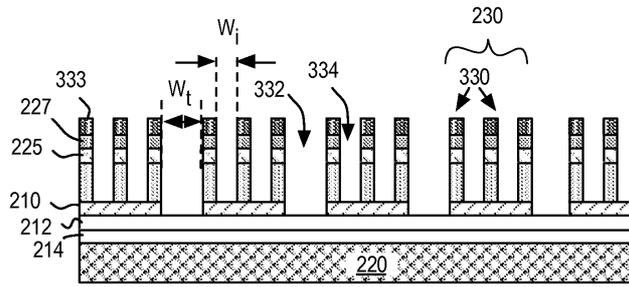
도면2k



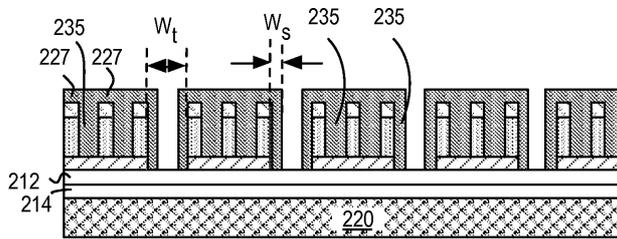
도면3a



도면3b

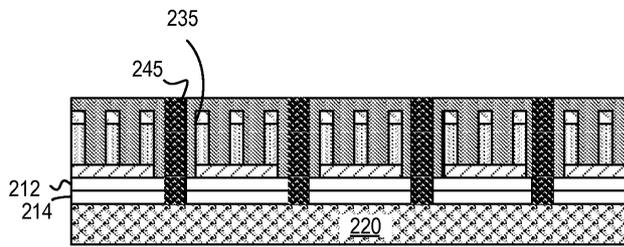


도면3c

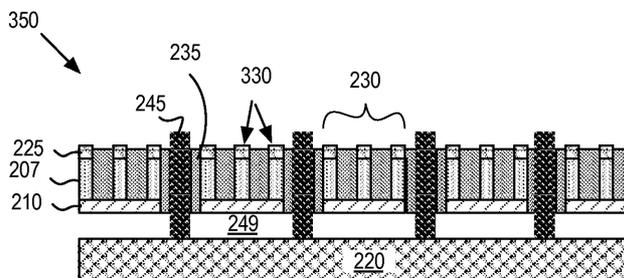


$$W_t \ll 2W_s$$

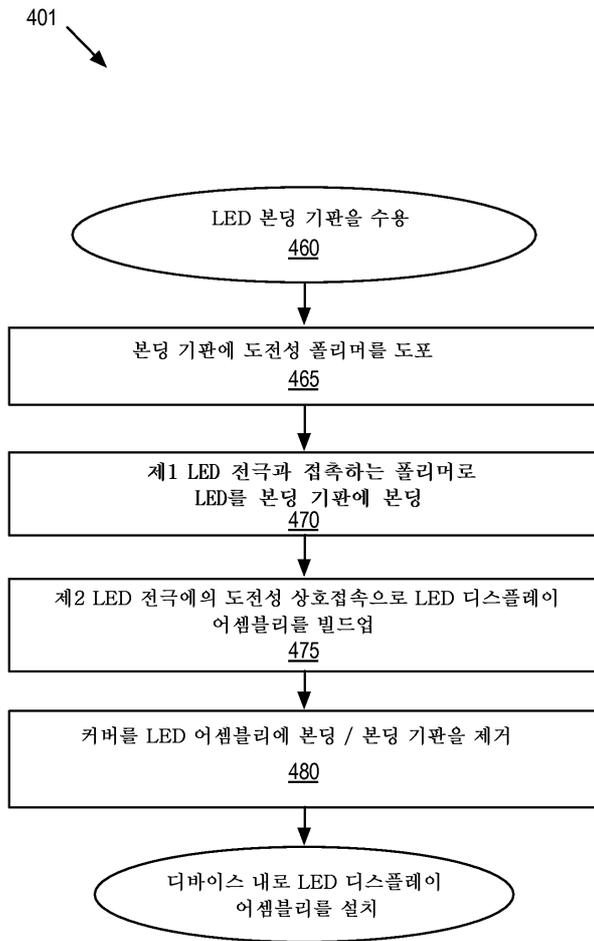
도면3d



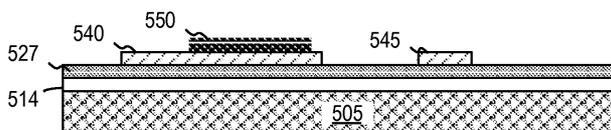
도면3e



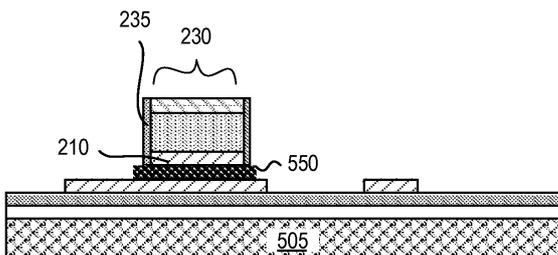
도면4



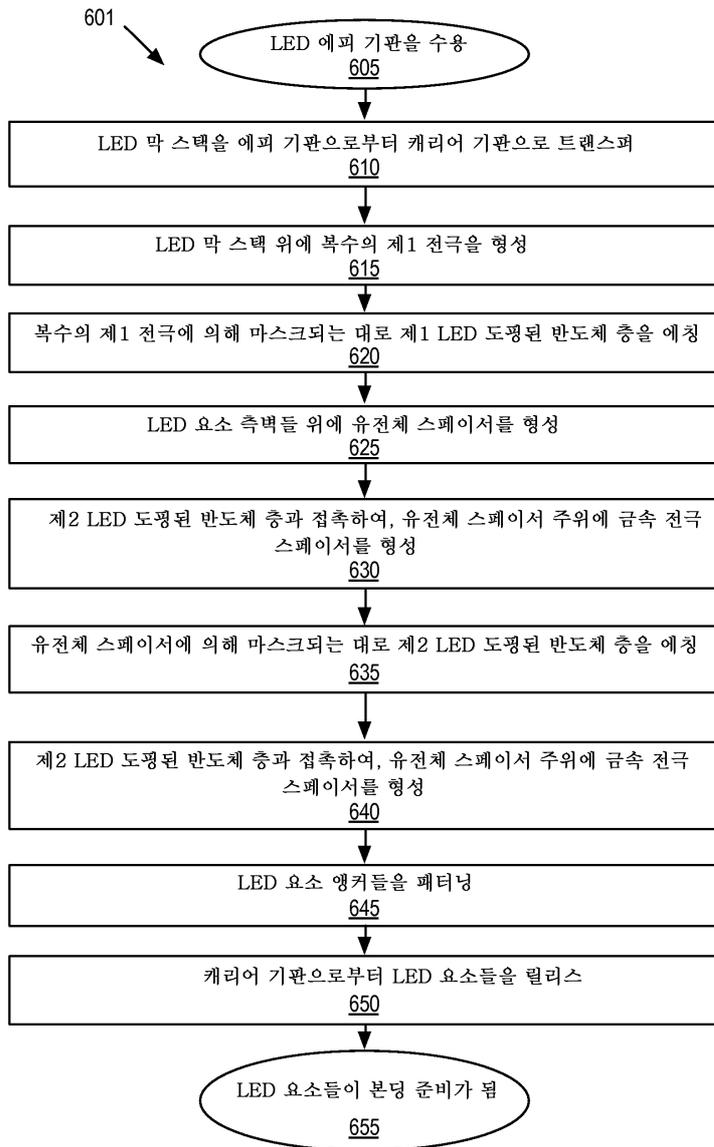
도면5a



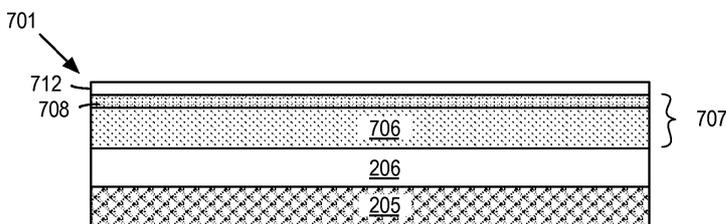
도면5b



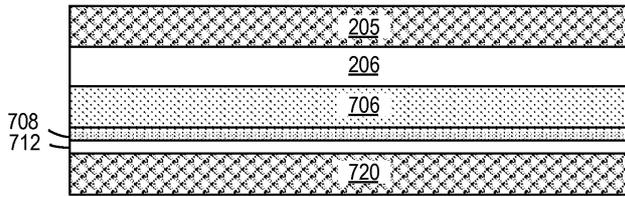
도면6



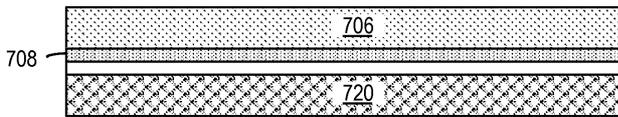
도면7a



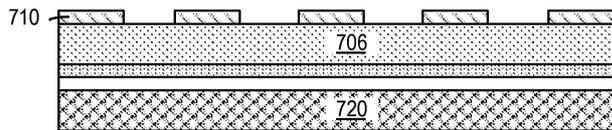
도면7b



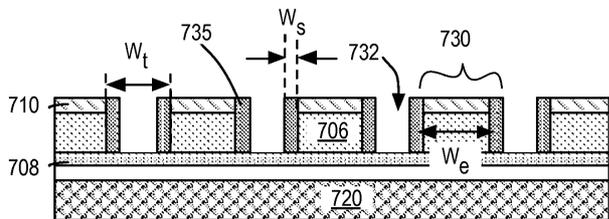
도면7c



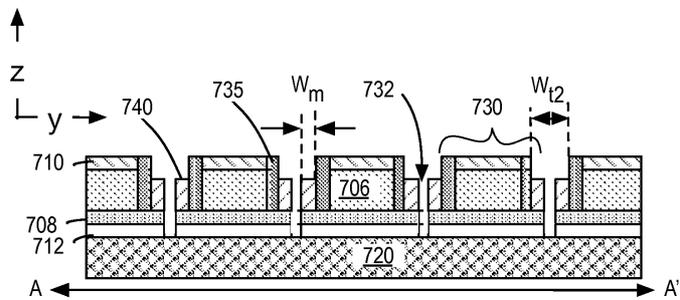
도면7d



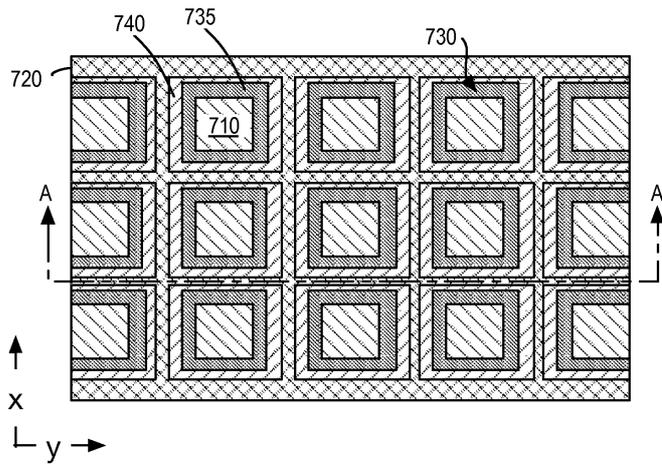
도면7e



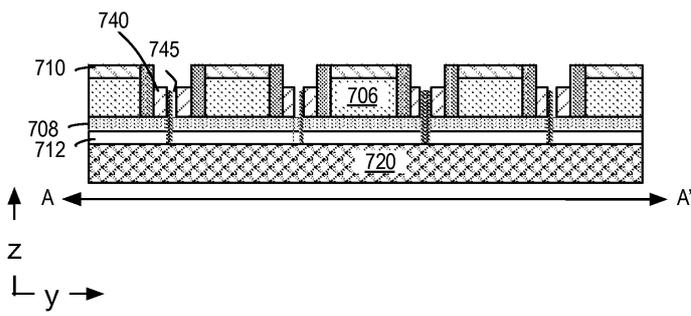
도면7f



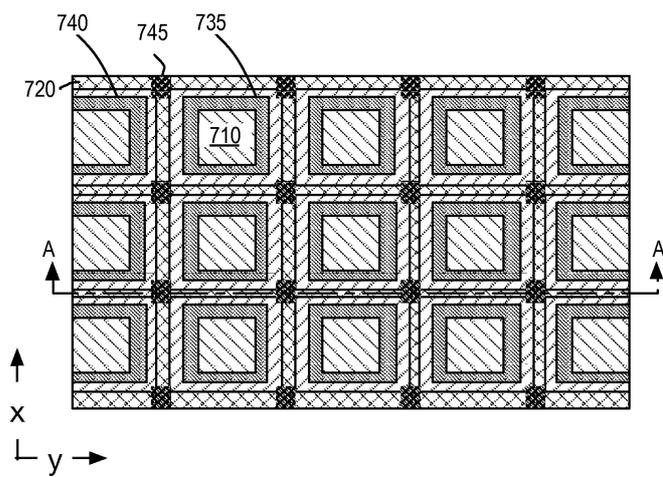
도면7g



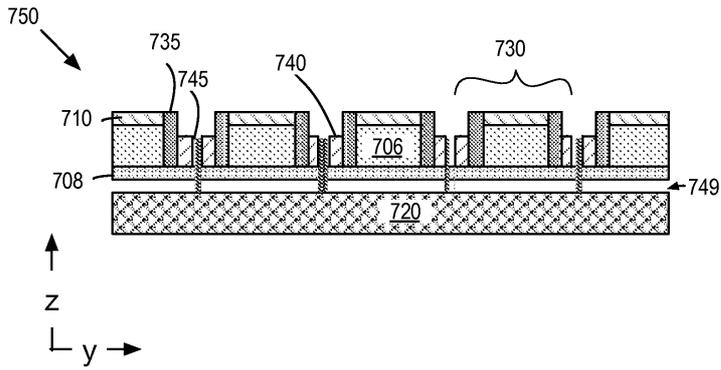
도면7h



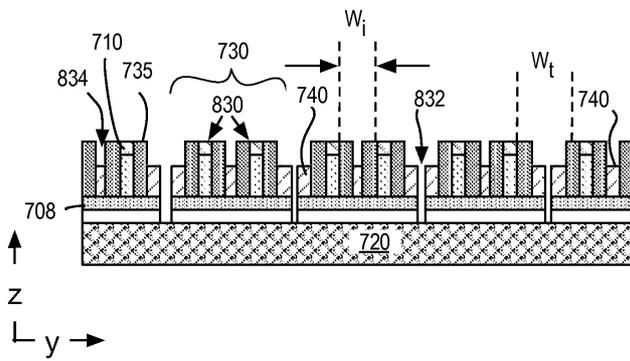
도면7i



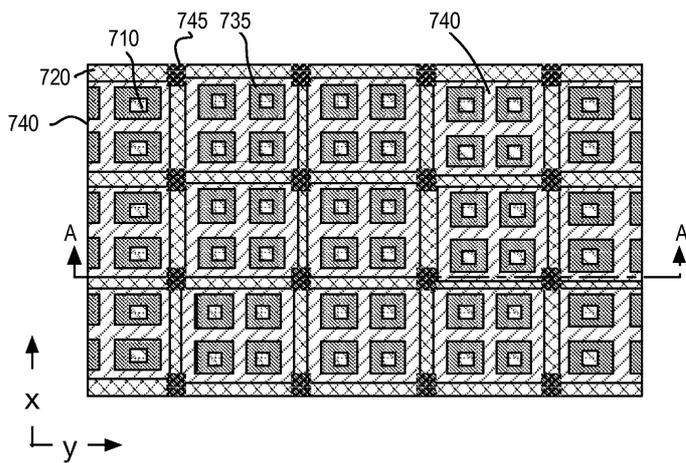
도면7j



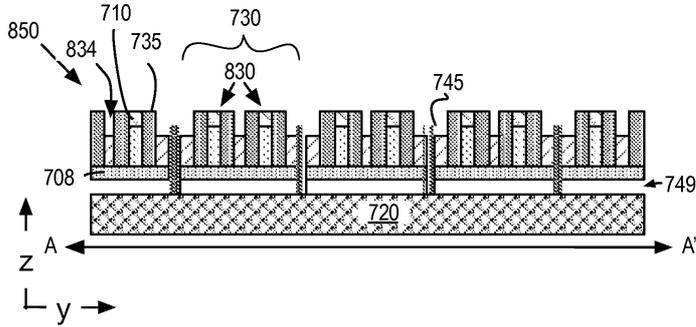
도면8a



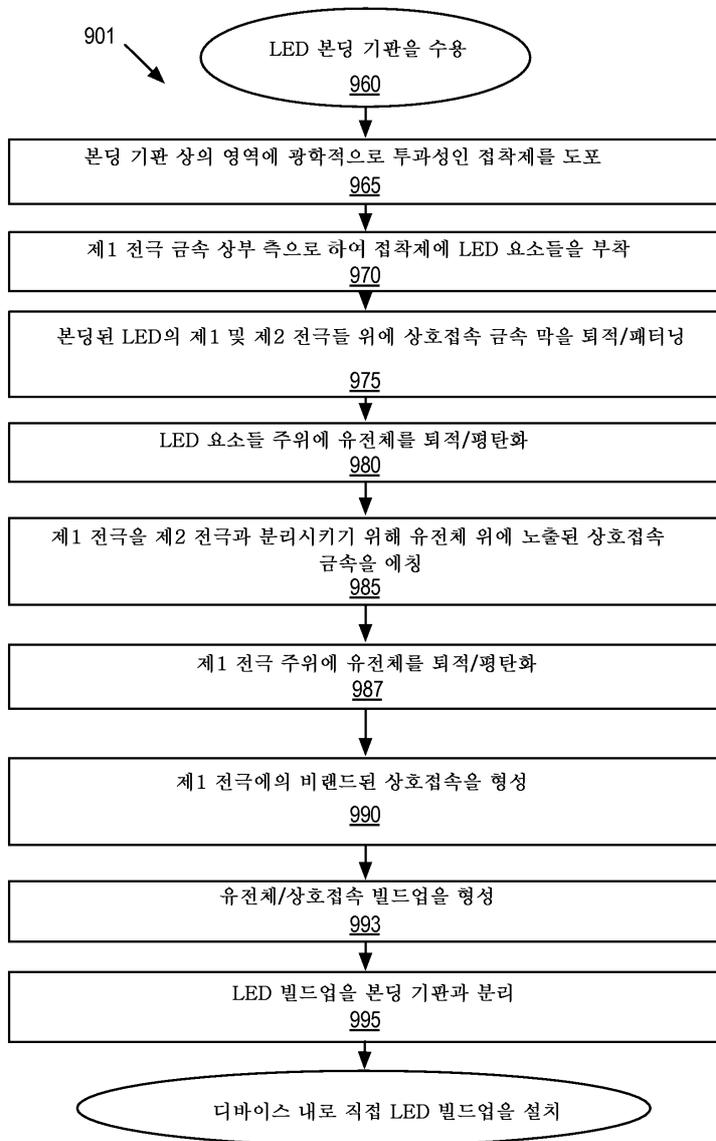
도면8b



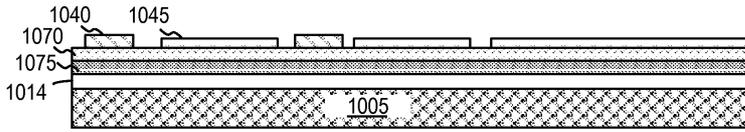
도면8c



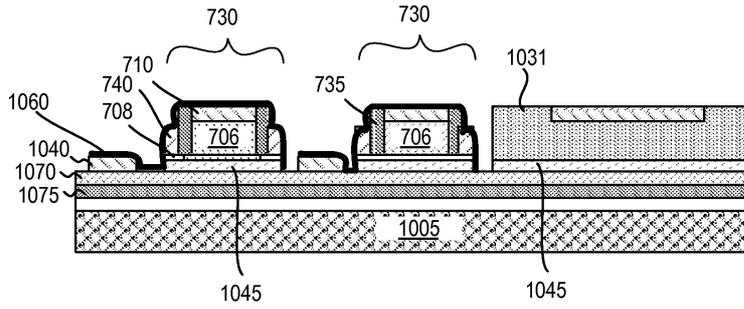
도면9



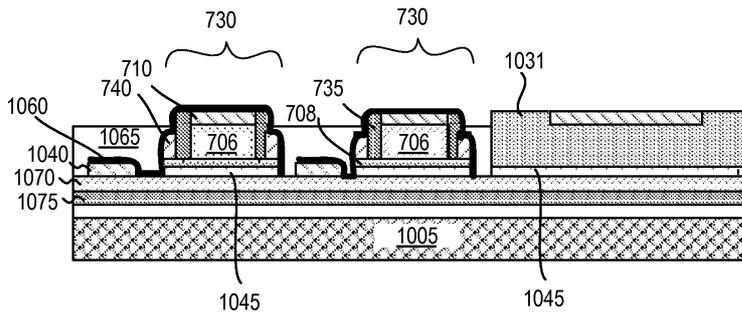
도면10a



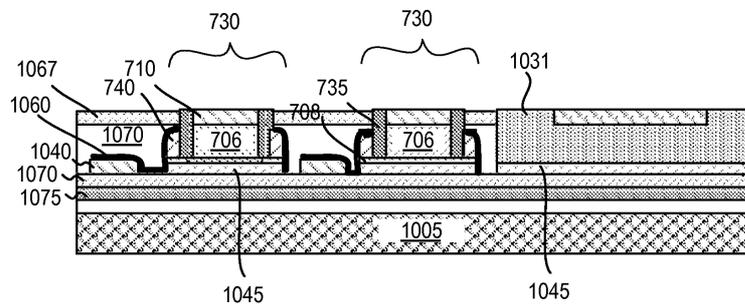
도면10b



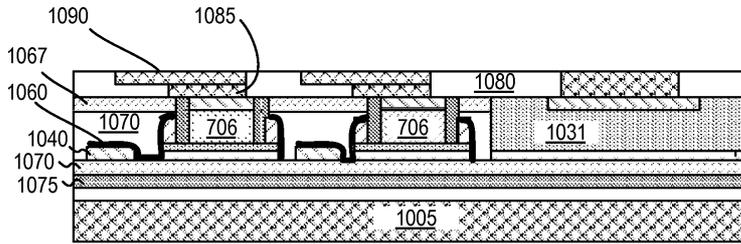
도면10c



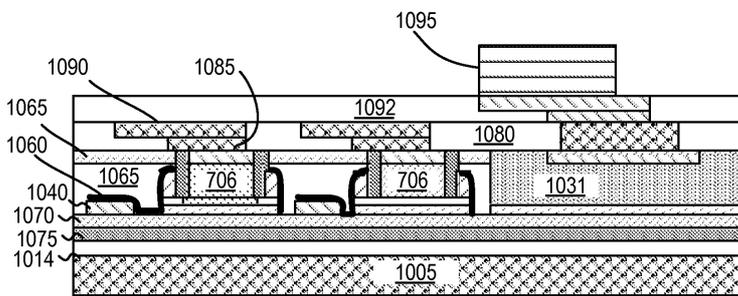
도면10d



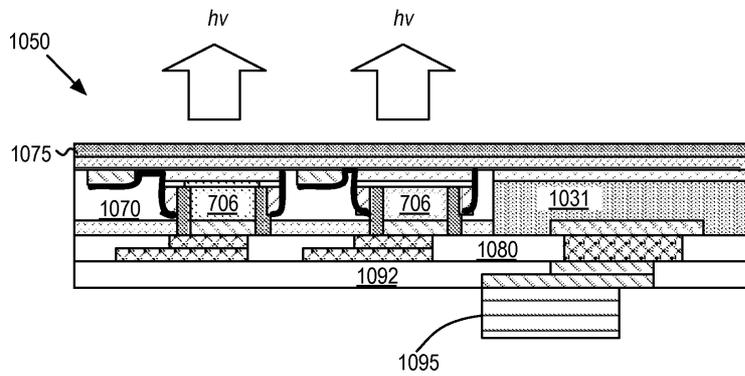
도면10e



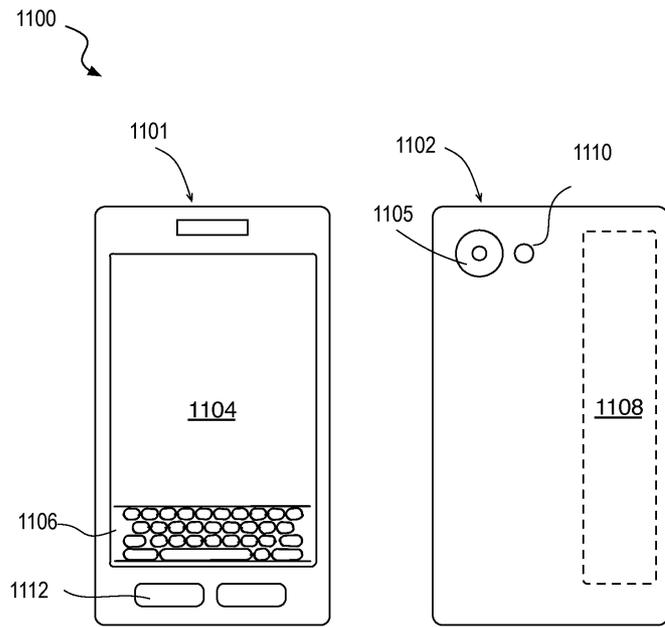
도면10f



도면10g



도면11



专利名称(译)	标题：微型LED显示屏和组装		
公开(公告)号	KR1020170073590A	公开(公告)日	2017-06-28
申请号	KR1020177007324	申请日	2014-10-17
[标]申请(专利权)人(译)	英特尔公司		
申请(专利权)人(译)	英特尔公司		
[标]发明人	CHANG PETER L 창피터엘		
发明人	창,피터엘.		
IPC分类号	H01L27/15 H01L33/00 H01L33/36		
CPC分类号	H01L27/156 H01L33/0079 H01L33/36 H01L33/385 H01L33/0093 H01L33/56 H01L33/62		
代理人(译)	Yangyoungjun Gimyeonsong Baekmangi		
外部链接	Espacenet		

摘要(译)

结晶(微)LED显示器组件制造这种显示组件的方法,以及可以转移(微)LED的方法,其中每个显示器组件以结晶LED源基板-该源基板的速率制造这种源基板。转移到接合基板中的制剂可以成为具有拾取或不同装置的LED元件。LED元件粘附到粘合基底上,导电聚合物,并且锚固和释放结构是电结合的。在键合衬底中转移的制剂可以由LED电极金属结构组成,该LED电极金属结构与局部互连金属化和电组合的自身分类一起形成,其粘附到粘合基底上到粘合剂,并且在LED元件中,元件是自己的分类。在附接LED元件中,材料可以升高以构建LED元件,并且显示组件可以与接合基板分离。

